

BEST AVAILABLE COPY

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020019416 A
(43) Date of publication of application: 12.03.2002

(21) Application number: 1020010054322

(71) Applicant:

KABUSHIKI KAISHA TOSHIBA

(22) Date of filing: 05.09.2001

(72) Inventor:

NAKAMURA TAKASHI

(30) Priority: 05.09.2000 JP 2000 2000269177

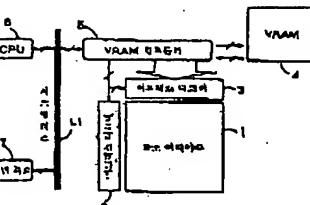
(51) Int. Cl G02F 1/133

(54) DISPLAY DEVICE AND DRIVING METHOD THEREOF

(57) Abstract:

PURPOSE: A display device and a driving method thereof are provided to reduce power consumption and to simplify the configuration of a circuit.

CONSTITUTION: A liquid crystal display device comprises a pixel array portion(1), an address decoder(2), a display memory(VRAM(Video Random Access Memory),4), and a VRAM controller(5), and transmits/receives a signal to/from a CPU(Central Processing Unit,6) and a peripheral circuit(7) through a system bus. The pixel array portion has an area gradation pixel structure. In the gradation pixel structure, each pixel is composed of a plurality of one-bit memories. The entire pixel array portion is divided into pixel blocks. Each pixel block consists of a plurality of pixels, and the one-bit memory is rewritten in units of block. The one-bit memory has a double-word line structure.



COPYRIGHT KIPO 2002

Legal Status

Date of final disposal of an application (20041201)

Patent registration number (1004679900000)

Date of registration (20050114)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
G02F 1/133

(11) 공개번호. 특2002-0019416
(43) 공개일자 2002년03월12일

(21) 출원번호 10-2001-0054322
(22) 출원일자 2001년09월05일

(30) 우선권주장 JP-P-2000-00269177 2000년09월05일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바
나시무로 타이죠
일본국 도쿄도 미나토구 시 바우라 1조메 1방 1고

(72) 발명자 나카무라다까시
일본사이따마깽후까야시하따라죠1-9-2가부시끼가이샤도시바후까야워크스내

(74) 대리인 구영창
장수길

심사청구 : 있음

(54) 표시 장치 및 그 구동 방법

요약

본 발명은 소비 전력을 저감할 수 있고 소형화가 가능한 액정 표시 장치를 제공한다. 본 발명에 따른 액정 표시 장치는 화소 어레이부, 어드레스 디코더, 표시 메모리(VRAM), VRAM 컨트롤러를 구비하며, 시스템 버스를 통해서 CPU 및 주변 회로와의 신호의 송신 및 수신을 행한다. 화소 어레이부는 복수의 1비트 메모리로 각 화소를 구성한 면적 계조 화소 구조로 되어 있다. 화소 어레이부 전체를 복수의 화소로 이루어진 화소 블록으로 구분하여 블록 단위로 1비트 메모리의 변경을 행한다. 1비트 메모리는 이중 워드 구조로 되어 있다.

대표도
도 1

색인어
표시 장치, 화소 블록, 화소 어레이, 비트 메모리, 이중 워드 구조

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치의 일 실시 형태의 개략적인 구성을 나타내는 블록도.

도 2는 1화소분의 구조를 나타내는 도면.

도 3은 각 부화소 영역의 면적이 RGB의 각색에서 다른 예를 나타내는 도면.

도 4는 화소 어레이부 1주변의 회로 구성을 나타내는 블록도.

도 5는 메모리셀(11) 주변의 회로 구성을 보다 상세하게 나타낸 블록도.

도 6은 부화소마다 SRAM과 구성 반전 회로를 설치한 구성을 나타내는 회로도.

도 7은 이중 워드선 구조의 회로도.

도 8은 이중 워드선 구조를 설명하는 도면.

도 9는 데이터선과 구성 제어선 P+, P-을 공유하는 예를 나타내는 회로도.

도 10은 VRAM과 VRAM 컨트롤러(5)를 원침에 통합한 디스플레이 컨트롤러의 블록도.

도 11은 아날로그 버퍼로 레벨 시프트하는 예를 나타내는 도면.

도 12는 소진폭으로 변환하는 아날로그 버퍼(51)의 후단측에, 대진폭으로 변환하는 레벨 시프터(52)를 설치한 예를 나타내는 도면.

도 13은 레벨 시프터의 일례를 나타내는 회로도.

도 14는 도 13의 회로의 입출력 과정을 나타내는 도면.

도 15는 아날로그 버퍼(51)주변의 상세한 회로도.

도 16은 아날로그 버퍼의 구체적인 구성을 나타내는 회로도.

도 17은 1비트 메모리의 구조를 나타내는 도면.

도 18은 도 17의 (c)의 DRAM(71)의 구조의 타이밍도.

도 19는 메모리 전체를 변경하는 경우와, 행단위로 변경하는 경우와, 행열단위로 변경하는 경우에 있어서의 소비 전력을 비교한 도면.

도 20은 DRAM(71) 구조의 1비트 메모리를 이용하여 화소 어레이부(1)를 구성한 경우의 액정 표시 장치의 개략적인 구성을 나타내는 블록도.

도 21은 DRAM(71) 구조의 메모리를 이용하여 화소 어레이부(1)를 구성한 경우의 액정 표시 장치의 개략적인 구성을 나타내는 블록도.

도 22는 도 21에서의 하나의 표시 화소의 개략적인 구성을 나타내는 도면.

도 23은 도 21에서의 액정 표시 장치의 개략 구성도.

도 24는 도 21에서의 액정 표시 장치의 구동 타이밍을 나타내는 도면.

도 25는 DRAM(71) 구조의 메모리를 이용하여 화소 어레이부(1)를 구성한 경우의 다른 액정 표시 장치의 개략 구성을 나타내는 블록도.

도 26은 EL소자의 개략 단면도.

도 27은 본 발명에 따른 표시 장치의 제2 실시 형태를 나타내는 개략 구성도.

도 28은 프레임과 서브 프레임과의 관계를 나타내는 도면.

도 29는 발광 기간과 데이터 간의 간과의 관계를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 화소 어레이부

2 : 어드레스 디코더

2a : Y어드레스 디코더

2b : Y어드레스 디코더

2L : 제어부

3 : X어드레스 디코더

4 : 표시 메모리(VRAM)

5 : VRAM 컨트롤러

5a : 인터페이스부

5b : 그래픽 컨트롤러 IC

6 : CPU

7 : 주변 회로

8 : 전원 IC

10 : 무화소

11 : 메모리 셀

12 : 데이터 버스

13 : 비트선 구동 쇠로

- 14 : 워드선 구동 회로
- 15 : 열 블록 셀렉터
- 16 : 행 블록 셀렉터
- 17 : 시프트 레지스터
- 21 : 레벨 시프터 및 직렬/병렬 변환 회로(SP 변환 회로)
- 22 : 버퍼
- 23 : 데이터 버퍼
- 24 : 행측의 어드레스 버퍼
- 25 : 행 블록 디코더
- 26 : 열측의 어드레스 버퍼
- 27 : 열 블록 디코더
- 28 : 멀티플렉서
- 29 : 제어 회로
- 30 : 대기시용 클록 발생 회로
- 31 : 클록 전환 회로
- 32 : 극성 제어 회로
- 41 : 호스트 인터페이스부(호스트 I/F)
- 42 : 메모리 컨트롤러
- 43 : 디스플레이 FIFO
- 44 : 특업 테이블
- 45 : 기입 감시 회로
- 46 : 판독 블록 어드레스 발생 회로
- 47 : 어드레스 변환 회로
- 48 : 인터페이스부(I/F)
- 50 : 디지털 버퍼

51 : 아날로그 버퍼

52 : 레벨 시프터

53 : 인버터

54 : 인버터

55 : 1비트 메모리

71 : DRAM

72 : 전송용 TFT

73 : 리프레시 회로

74 : 구동용 TFT

75 : EL 소자

76 : 귀환 TFT

77 : 극성 반전 회로

78 : 디스차지 회로

81a : 제1 부표시 화소 전극

81b : 제2 부표시 화소 전극

99 : 어레이 기판

100 : 절연 기판

101 : 다결정 실리콘

102 : 게이트 절연막

103 : 게이트 전극

104 : 층간 절연막

105 : 소스 전극

106 : 드레인 전극

107 : 화소 전극

110 : 대향 전극

111 : 차광막

112 : 컬러 필터

113 : 대향 전극

114 : 배향막

115 : 배향막

116 : 액정층

117 : 평광판

131 : 활성층

132 : 게이트 절연막

133 : 게이트 전극

134 : 충간 절연막

135 : 소스 전극

136 : 드레인 전극

137 : 충간 절연막

138 : 화소 전극

139 : 화소분리용 격벽

140 : 흡수 입증

141 : 발광층

142 : 캐소드 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것이며, 특히 소비 전력의 저감과 회로 구성의 간략화를 도모하는 기술에 관한 것이다.

종래, 휴대 전화를 비롯한 휴대 기기에서는 단색의 표시 장치를 탑재하는 경우가 대부분을 차지하고 있었으나, 휴대 기기에서 인터넷으로 접속하는 등의 기회가 증가되어 컬러 표시 장치를 탑재하는 일이 증가하고 있다.

컬러 표시 장치는 단색에 비하여 소비 전력이 많기 때문에 휴대 전화의 배터리의 충전 간격이 짧아지게 된다고 하는 문제가 있다. 또한, 회로도 복잡하게 되기 때문에 소형화가 곤란하고 비용이 상승하게 된다. 소형화를 도모하기 위해서는 화소 어레이 기판 상에, 구동 회로를 일체로 형성하는 것이 바람직하지만, 컬러인 경우에, 구동 회로의 구성이 복잡하게 될 뿐만 아니라 화소 데이터를 격납하는 메모리의 용량도 증가하므로, 화소 어레이 기판 상에, 구동 회로를 일체로 형성하는 것이 기술적으로 어렵다.

또한, 종래는 표시 어레이의 전부를 일정 간격마다 변경하고 있었으므로 표시 해상도가 높게 됨에 따라서, 화소 클록의 주파수를 빠르게 할 필요가 있었다.

이러한 문제점을 해결하는 것으로서, 예를 들면 일본 특허 공개 2000-227608호 공보에는 표시 내용이 변화된 수평 화소 라인만 선택 주사하여 표시 내용을 변경하는 기술이 개시되어 있다.

그러나, 이와 같이 수평 화소 라인마다 제어하는 경우에는 반드시 통상 구동시에 비하여 저소비 전력화는 달성되지 않는다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 점을 감안하여 이루어진 것이며, 그 목적은 소비 전력을 저감하고 소형화가 가능한 표시 장치를 제공하는데 있다.

발명의 구성 및 작용

이하, 본 발명에 따른 표시 장치에 대하여, 도면을 참조하면서 구체적으로 설명한다.

제1 실시 형태

도 1은 본 발명에 따른 표시 장치의 제1 실시 형태의 개략적인 구성을 나타내는 블록도로서, 액정 표시 장치의 구성을 나타내고 있다.

도 1의 액정 표시 장치는 화소 어레이부(1), 어드레스 디코더(2, 3), 표시 메모리(VRAM)(4), VRAM 컨트롤러(5)를 구비하고 있으며, 시스템 버스(L1)을 개재하여 CPU(6) 및 주변 회로(7)과의 신호의 송수신을 행한다.

화소 어레이부(1)는 복수의 1비트 메모리로 각 화소를 구성한 면적 제조 표시가 가능한 화소 구조로 되어 있다. 도 2는 1화소분의 구조를 나타내는 도면이다. 도 2에 도시한 바와 같이, 1화소는 RGB의 각 색 표시 화소마다 각각 4개의 부화소 영역으로 구성되고, 각 영역에 대응한 1비트분의 메모리가 설치되어 있다.

도 2는 1표시 화소가 각 색마다 4비트의 표시 신호에 기초한 4개의 부화소 영역으로 구성되어 있는 예를 나타내고 있고, 최하위 비트를 d0, 최상위 비트를 d3로 하면, 각 화소의 화소값은 $2^0 \cdot d0 + 2^1 \cdot d1 + 2^2 \cdot d2 + 2^3 \cdot d3$ 로 표시된다. 이것에 의해서, $2^4 = 16$ 계조의 표시가 가능하게 된다.

부화소 영역 내의 각 1비트 메모리는 AI이나 Ag 등으로 구성되는 예를 들면 반사성을 갖는 화소 전극에 접속되어 있다. 이를 반사 화소 전극의 상면에는 액정층을 끼고 예를 들면 대향 전극이 배치되어 있다.

또한, 도 2에는 최하위 비트 d0로부터 최상위 비트 d3까지의 각 4비트의 면적비가 d0 : d1 : d2 : d3 = 1 : 2 : 4 : 8의 예를 도시하고 있다.

일반적으로는 각 비트의 면적 \times 백색의 투과율이 2의 몇승이 되도록 하는 것이 바람직하다. 또한, 1화소를 구성하는 부화소 영역은 표시 신호의 비트수에 대응하여 예를 들면 6비트의 표시 신호이면 소망의 면적 비율이 되도록 6부화소 영역으로 분할하면 된다.

각 화소를 구성하는 4개의 부화소 영역의 배열은 반드시 각 표시 화소 내에서 순번으로 배열할 필요는 없으며, 도 2의 (a)와 같이, (d0, d3, d1, d2)의 순으로 배열되어 있어도 되고, 또는 도 2의 (b)와 같이 (d0, d1, d2, d3)의 순으로 배열되어 있어도 된다. 또한, 도 2의 (c)와 같이, 2차원적으로 배열되어 있어도 되고, 이것은 메모리와의 접속을 쉽게 하고, 컬러 필터의 구조도 고려하고, 개구율이 최대가 되도록 하는 것이 바람직하다.

도 2에서는 RGB의 각 색의 표시 화소를 구성하는 부표시 화소수가 동일하고, 각 색의 표시 계조수가 16계조로 된 경우를 나타냈으나, 색마다 표현가능한 표시 계조수를 다르게 해도 된다. 예를 들면, 도 3은 R과 B가 3비트, 즉 3개의 부화소 영역으로 구성되고, G가 4비트, 즉, 4개의 부화소 영역으로 구성되어 있는 예를 나타내고 있다.

도 2에서는 각 부화소 영역의 면적이 RGB의 각 색에서 동일한 예를 설명하였으나, 각 부화소 영역의 면적이 RGB의 각 색에서 달라도 된다. 실제로는 가장 자연적인 색상이 되도록 RGB의 비트수를 정하면 된다. 또한, 각 부화소 영역의 면적비가 RGB의 각 색에서 달라도 된다. 도 1의 VRAM 컨트롤러(5)는 CPU(5)로부터 송신된 영상 데이터를 VRAM에 기입하고, VRAM(4)으로부터 화소 블록 단위로 영상 데이터를 추출하고, 화소 블록 죄표를 나타내는 어드레스 테이터와 함께 어드레스 디코더(2, 3)으로 출력하고, 어드레스 디코더(2, 3)는 화소 어레이부(1)의 대응하는 화소 블록의 1비트 메모리에 영상 데이터를 격납한다.

화소 블록의 사이즈는 1포트 디스플레이에 요하는 도트수와 대략 동등하다. VRAM 컨트롤러(5)는 1비트 메모리를 액세스하기 위한 분주용 클록을 출력한다. 또한, VRAM 컨트롤러(5)는 데이터 휴지 기간(불랜킹 기간) 중에 중간 전위를 출력 가능하다.

화소 어레이부(1)는 데이터 휴지 기간 중에 1비트 메모리의 리프레시동작 및 액정 인가 전압의 극성 반전을 행할 수 있도록 클럭 발생 회로를 구비하고 있다.

VRAM 컨트롤러(5)는 실리콘 칩으로 구성되고, 화소 어레이부(1)가 형성되는 유리 기판 상에 예를 들면 COG(chip on glass)설장된다. 또는 VRAM 컨트롤러(5)와 CPU(6)을 1개의 실리콘 칩에 통합하여 유리 기판 상에 COG설장해도 된다. 또한, 칩에 VRAM(4)을 내장해도 된다.

본 실시 형태는 화소 어레이부(1) 전체를 복수의 화소로 이루어진 2차원 매트릭스의 화소 블록으로 구분하여, 블록 단위로 각 화소의 1비트 메모리의 변경을 행하는 점에 특징이 있다. 블록 단위로 변경을 행함으로써, 주변 디코더 회로의 비트수를 삭감할 수 있고, 회로의 실장 면적이 작게된다. 또한, 현실적인 문제로서, 1화소분만의 변경을 행하는 경우는 거의 없고, 통상은 수십 화소분 통합하여 변경을 행하므로 블록 단위로 변경을 행해도 소비 전력을 낭비하는 용장 동작은 반드시 되지 않는다.

또한, 본 실시 형태에서는 VRAM(4)에 기입하는 단위보다도 VRAM(4)으로부터 판독하는 단위를 크게하고 있다. 이것에 의해서, 변경이 필요한 범위만큼, VRAM(4)의 변경을 행함과 함께, VRAM(4)으로부터의 고속 판독이 가능하게 된다.

도 1의 액정 표시 장치의 구조예로서, 화소수가 $256 \times 3 \times 256$ 도트로 16비트의 문자를 표시하는 경우, 화소 블록은 16×16 도트의 2차원 매트릭스로 하고, 어드레스 디코더(2, 3)는 4비트 디코더로 하고, 정지화상시는 6비트로 하고, 폴리 실리콘 발진 회로를 이용하여 대기시 액정 화소 극성 반전을 행하고, 외부 컨트롤러는 완전 휴지시킨다. 또한, VRAM(4), VRAM 컨트롤러(5) 및 CPU(6)은 1개의 칩에 통합하고, VRAM(4)은 CPU(6)의 주기억 메모리의 일부를 이용한다. 이 칩은 화소 어레이부(1)가 형성되는 유리 기판 상에 COG설장된다.

도 4는 화소 어레이부(1)와, 그 주변의 회로 구성을 나타내는 블록도이다. 도시한 바와 같이, 화소 어레이부(1)는 2차원 매트릭스로 복수의 메모리셀(화소 블록)(11)으로 구분되고, 각 메모리셀(11)은 복수의 화소로 구성되어 있다. 메모리셀(11)을 구성하는 각 화소는 면적이 중첩된 2개의 병렬로 배치되는 각각의 3개의 부화소, 합계 6개의 부화소로 구성되고, 각각의 부화소에는 SRAM 구조의 1비트 메모리가 설치되어 있다.

1비트 메모리는 등가회로적으로는 도시한 바와 같이, 예를 들면 트랜지스터(Q1, Q2)와 인버터(IV1, IV2)로 구성되는 SRAM이며, 데이터 버스(12)로부터 공급된 데이터를 유지한다. 1비트 메모리에 유지된 하이 레벨 전압 또는 로우 레벨 전압을 화소 전극에 인가하고, 화소 전극과 공통 전압파의 사이의 전위차를 액정층에 인가하는 구조로 되어 있다.

메모리셀(11)에는 비트선 구동 회로(13)와 워드선 구동 회로(14)가 접속되어 있다. 비트선 구동 회로는 데이터 버스(12) 상의 화소 데이터를 어느 비트선에 공급할지를 선택하는 열 블록 셀렉터(15)를 갖는다. 또한, 워드선 구동 회로(14)는 행 블록 셀렉터(16)와, 시프트 레지스터(17)를 갖는다. 행 블록 셀렉터(16)는 어느 하나의 블록을 선택하고, 선택된 블록 내의 워드선을 시프트 레지스터(17)가 순차 구동한다.

본 실시 형태에서는 예를 들면 절연 기판으로서 유리 기판 상에, 저온 폴리 실리콘 기술을 이용하여 화소 표시용의 트랜지스터와 구동 회로용의 트랜지스터를 형성한다. 그런데, 저온 폴리 실리콘으로 형성된 트랜지스터는 실리콘 웨이퍼 위에 형성되는 결정 실리콘에 의한 트랜지스터에 비하여 동작 속도가 느리기 때문에, 전압 진폭을 크게 할 필요가 있다. 이 때문에, 유리 기판의 외부로부터 공급된 어드레스 데이터나 영상 데이터는 유리 기판 상에서 레벨 변환된다.

도 5는 메모리셀(11) 주변의 회로 구성을 보다 상세하게 나타낸 블록도이다. 도시한 바와 같이, 화소 데이터의 레벨 변환을 행하는 레벨 시프터 및 직렬/병렬 변환 회로(SP 변환 회로)(21)와, 버퍼(22)와, 데이터 버퍼(23)와, 행측의 어드레스 버퍼(24) 및 행 블록 디코더(25)와, 열측의 어드레스 버퍼(26)와, 열 블록 디코더(27) 및 멀티플렉서(28)와, 동기 신호 등을 생성하는 제어 회로(29)와, 대기시용 클록 발생 회로(30)와, 클록 전환 회로(31)와, 극성 제어 회로(32)를 갖는다.

도 5의 레벨 시프터(21)에 의해서 레벨 시프트된 데이터는 직렬/병렬 변환 회로(SP 변환 회로)(21)로 분주된다. SP 변환 회로(21)는 데이터 기간을 n배(n은 2이상의 자연수)로 연장하고, 후단측의 디지털 회로에서의 타이밍 마진을 확보하기 쉽게 한다.

유리 기판에는 영상 데이터와, 기입을 행하는 블록을 지정하는 블록 어드레스 데이터가 입력된다. 데이터 버스(12)는 그 수가 가능한 한 적게 하는 것이 바람직하기 때문에 본 실시 형태에서는 영상 데이터와 블록 어드레스를 동일 버스로 전송하도록 하고 있다. 구체적으로는 각 블록마다 먼저 어드레스 데이터를 전송하고, 이어서 영상 데이터를 전송한다. 어드레스 데이터는 행/열 어드레스 버퍼(24, 26)에 유지되고, 데이터 패스를 확정한다.

또한, 영상 데이터는 데이터 버퍼(23)에 축적되어 소정의 순서로 멀티플렉서(28)를 경유하여 화소 어레이부(1) 내의 신호선으로 송출된다.

도 2와 같은 1비트 메모리를 이용하여 액정 표시를 행하는 경우, 대기시도 표시를 계속하지 않으면 않된다. 그런데, 액정에 직류 전압이 장기간에 걸쳐 인가되면 액정이 놀러붙는 등을 야기하기 때문에 대기시에도 소정 기간마다 극성 반전 동작을 행할 필요가 있다. 이를 위해서, 본 실시 형태에서는 도 5에 도시한 바와 같이 대기시용 클록 발생 회로(30)를 설치하고, 대기시에는 통상보다도 느린 속도로 극성 반전을 행하는, 예를 들면 통상 구동시는 1수직 주사 기간에서 대기시는 4수직 주사 기간에서 극성 반전을 행하도록 하고 있다. 이와 같은 대기시용 클록 발생 회로(30)를 설치함으로써, 대기시에는 시스템 률률을 완전히 정지시킬 수 있어 소비 전력의 저감이 도모된다.

메모리와 극성 반전 회로의 구체예1

도 6은 표시 면적에 중첩 때문에 생긴 부화소마다 SRAM과 극성 반전 회로를 설치한 액정 표시 장치의 구성을 나타내는 회로도이며, 도 6의 일점 쇄선으로 둘러쌓인 부분이 각각의 부화소를 나타내고 있다. 각 부화소에는 워드선과, 극성 제어선 P+, P-와, 데이터선이 접속되어 있고, 단일 워드선 구조이다. 각 부화소는 워드선의 전위에 의해서 온, 오프하는 트랜지스터 Q3와, 극성 제어선 P+의 전위에 의해 온, 오프하는 트랜지스터 Q4와, 극성 제어선 P-의 전위에 의해 온, 오프하는 트랜지스터 Q5와, 종속 접속된 인버터 IV3, IV4를 갖는다. 트랜지스터 Q3와 인버터 IV3, IV4로 SRAM이 구성되고, 트랜지스터 Q4, Q5에 의해서 극성 반전 회로가 구성된다.

도 6의 회로는 비교적 간단하며, 행단위 또는 복수 행단위의 웹덤 액세스 회로와, 또한 2차원 매트릭스의 웹덤 액세스 회로와의 조합에 의해서, 항상 전화면 간신을 행하는 경우보다 대폭으로 저소비 전력화가 가능하나 오기입이 발생하기 쉽고, 워드선 부하가 크게되어 소비 전력이 크게 되는 등의 문제가 생기는 경우도 있다. 이러한 문제를 회피하는 수단으로서, 이하에 설명하는 바와 같은 이중 워드선 구조를 조합시킬 수 있다.

메모리와 극성 반전 회로의 구체예2

도 7은 이중 워드선 구조의 회로도이다. 도 7의 회로는 열 워드선의 전위에 의해 온, 오프되는 트랜지스터 Q6을 갖는다. 트랜지스터 Q6이 온하면, 주워드선의 전위가 부워드선에 공급된다. 부워드선은 행방향으로 배열된 부화소 각각에 접속되어 있다. 예를 들면 부워드선이 하이 레벨일 때는 트랜지스터 Q3이 온함과 함께, SRAM의 피드백 경로에 있는 트랜지스터 Q7이 오프한다. 이 때는 극성 제어선 P+, P-의 전위에 의해, 트랜지스터 Q4, Q5중 어느 하나가 온한다.

한편, 부워드선이 로우 레벨일 때는 트랜지스터 Q7이 온하고, SRAM 내의 후단측의 인버터 출력이 초단측의 인버터의 입력으로 귀환되어 데이터가 유지된다.

이와 같이, 이중 워드선 구조에서는 간신 대상의 블록만 부워드선이 액티브로 되고, 그 이외의 부워드선은 비액티브로 되기 때문에 오기입이 발생하기 어렵게 된다.

도 8은 이중 워드선 구조를 설명하는 도면이며, 도 8의 일점 쇄선으로 둘러쌓인 영역이 데이터의 변경 단위를 나타내는 블록이다. 도시한 바와 같이, 주워드선과 열워드선의 전위에 의해 어느 하나의 부워드선만이 액티브로 된다. 또한, 선택된 블록 내의 각 1비트 메모리는 순차 구동된다. 또한, 블록 단위로 되는 범위는 특별히 제한은 없으며 몇 라인 까지도 가능하다.

메모리와 극성 반전 회로의 구체예3

도 9의 (a)는 데이터선과 극성 제어선 P+, P-를 인접 화소에서 공유하는 예를 도시하는 회로도이다. 도 9의 회로는 4개의 중첩된 부화소로 1개의 화소를 구성하고, 이것에 의해서 각 화소마다 16제조 표시를 실현하는 예이며, 4개의 부화소는 상하좌우에 2개씩 배치되어 있으며, 횡방향으로 인접하는 2개의 부화소는 데이터선을 개재하여 배치되고, 이 데이터선을 공유하고 있다. 부화소는 데이터선에 접속된 트랜지스터 Q3와, SRAM과, 극성 반전 회로를 갖는다. SRAM은 트랜지스터 Q4, Q5 및 인버터 IV3, IV4를 갖고, 극성 반전 회로는 트랜지스터 Q4, Q5를 갖는다.

도 9의 회로는 횡방향으로 인접하는 부화소(100)에서 데이터선을 공유하고 있기 때문에 이들 2개의 부화소(100)에는 각각의 개별의 워드선을 접속할 필요가 있다. 즉, 도 7의 회로보다도 워드선이 더 필요하게 된다. 한편, 극성 제어 신호선 P+, P-는 상하 방향에 배치된 4개의 부화소(100)전부에 공통으로 접속된다.

그런데, 도 9의 (a)에서는 횡방향으로 인접하는 2개의 부화소(100)의 사이에 데이터선을 배치한 예를 설명하였으나, 도 9의 (b)에 도시한 바와 같이, 인접하는 2개의 부화소((10)의 좌단 혹은 우단)에 데이터선을 배치해도 된다.

디스플레이 컨트롤러의 구성

도 1의 VRAM과 VRAM 컨트롤러(5)는 원침에 통합되는 경우가 대부분이다.

도 10은 VRAM과 VRAM 컨트롤러(5)를 원침에 통합한 디스플레이 컨트롤러의 블록도이다. 도시된 디스플레이 컨트롤러는 CPU(6)과 데이터의 송수신을 행하는 호스트 인터페이스(호스트 I/F)(41)과, 메모리 컨트롤러(42)와, 디스플레이 FIFO(43)와, 특업 테이블(44)과, VRAM(4)과, 기입 감시 회로(45)와, 판독 블록 어드레스 발생 회로(46)와, 어드레스 변환 회로(47)와, 도 1의 어드레스 디코더(2, 3)로의 데이터의 전달을 행하는 인터페이스부(I/F)부(48)를 갖는다.

기입 감시 회로(45)는 CPU(6)가 VRAM(4)의 내용을 변경했는지의 여부를 감시한다. VRAM(4)의 내용이 변경되었으면, 판독 블록 어드레스 발생 회로(46)는 소정 기간 내에 변경된 화소를 포함하는 화소 블록분의 어드레스를 발생한다.

어드레스 변환 회로(47)는 CPU(6)가 지정한 VRAM 공간의 어드레스를 표시용의 블록 어드레스로 변환한다. 특업 테이블(44)은 CPU(6)가 지정한 색 제조 데이터를 1비트 메모리용의 데이터로 변환한다.

단일 데이터선 메모리에의 소진폭 기입

상술한 도 7의 회로의 경우, 1비트 메모리에 데이터를 기입하는 경우에, 트랜지스터 Q7을 오프로 하여 메모리 루프를 커트하고 있다. 이러한 제어에 의해서 데이터선에 송출되는 데이터의 진폭을 극소화 할 수 있다. 이 경우의 데이터의 진폭은 인버터 IV3, IV4의 임계값 오차 $+a$ 정도이면 된다. 예를 들면, 인버터 IV3, IV4의 임계값이 소자 오차를 고려하여 $2.5V \pm 0.3V$ 로 되면, 데이터선이 $2.2V$ 이하인 경우에는 로우 레벨로 인식되고, $2.8V$ 이상인 경우에는 하이 레벨로 인식된다.

따라서, 도 11에 도시한 바와 같이, $0V-5V$ 진폭의 디지털 버퍼(50)의 출력을 아날로그 버퍼(51)로 $2V-3V$ 진폭의 신호로 레벨 시프트한 후 1비트 메모리(55)에 공급한다. 이것에 의해서, 소비 전력의 저감이 도모된다.

또한, 1비트 메모리(55) 내의 어딘가에 용량 C1을 접속하는 것이 바람직하다.

이러한 용량 C1을 부가함으로써, 워드선을 오프한 후도 용량에 다이내믹하게 기입 레벨이 유지되므로 인버터 IV3, IV4의 지연이 크게되어 워드선이 활성화되어 있는 동안에 인버터 루프의 동작이 안정화되지 않아도 한참동안 후에 안정상태에 도달할 수 있다. 또한, 용량 C1은 외부에 설치하지 않아도 되고, 회로에 기생하고 있는 용량, 액정 용량, 또는 보조 용량 Cs도 유효하다.

또한, $0V-5V$ 진폭의 디지털 데이터를 아날로그 버퍼(51)에 의해 $2V-3V$ 또는 $2V-3V$ 또는 $1V-4V$ 의 소진폭으로 하는 것에 의해서, 데이터 분배용의 버스 배선에서 소비되는 전력을 저감할 수 있다. 아날로그 버퍼 대신에 신호의 로우/하이에 따라서 $1V-4V$ 전원선을 데이터선에 접속하는 간단한 방법도 가능하며, 특성 오차가 큰 폴리 실리콘 TFT로 아날로그 버퍼를 구성하는 것 보다도 소비 전력의 손실이 작게 된다.

한편, 도 5의 멀티플렉서 등의 논리 회로는 비교적 큰 진폭으로 구동시킬 필요가 있다.

한편, 도 5의 멀티플렉서 등은 비교적 큰 진폭으로 구동시킬 필요가 있다.

이 때문에, 도 12에 도시한 바와 같이, 소진폭으로 변환하는 아날로그 버퍼(51)의 후단측에, 대진폭으로 변환하는 레벨 시프터(52)를 설치할 필요가 있다.

도 13은 레벨 시프터(52)의 일례를 나타내는 회로도이고, 도 14는 도 13의 회로의 입출력 파형을 나타내는 도면이다. 도 14에서, 300ns까지는 스위치 SW1이 온하여 스위치 SW2가 오프한다. 이 때문에, 도 13의 컨센서 C2의 좌측 전압은 $1.65V$ 로 된다. 또한, 이 때에 인버터(53)의 입출력 단자는 스위치 SW3를 개재하여 도통 상태로 되기 때문에, 인버터(53)의 입출력 단자는 임계값 전압과 거의 동등한 전압으로 된다.

300ns 이후는 스위치 SW1이 오프하여 스위치 SW2이 온한다. 이것에 의해서, 임계값 오차에 대응한 전압으로 변환된다.

도 15는 아날로그 버퍼(51) 주변의 상세한 회로도이다. 아날로그 버퍼(51)의 입력 단자에는 스위치 SW4, SW5가 접속되고, 아날로그 버퍼(51)의 출력 단자에는 컨デン서 C3를 개재하여 인버터(54)가 접속되어 있다.

아날로그 버퍼(51)는 간단하게는 도 16의 (a)와 같은 2개의 트랜지스터 Q8, Q9로 구성된다. 또는 도 16의 (b)와 같이 차동 증폭 회로 구성으로도 할 수 있다.

상술한 실시 형태에서는 화소 어레이부(1) 내의 1비트 메모리를 SRAM 구조로 하는 예를 설명하였으나, DRAM 구조나 저항 부하형 구조로도 할 수 있다. 도 17은 1비트 메모리의 구조를 도시하는 도면이며, 도 17의 (a)는 SRAM의 구조의 예를, 도 17의 (b)는 저항 부하형 구조의 예를, 도 17의 (c)는 DRAM 구조의 예를 나타내고 있다.

SRAM을 구성하는 인버터의 인버터의 PMOS 트랜지스터를 저항으로 치환한 것이 도 17의 (b)의 저항 부하형 구조로 된다. 또한, 도 17의 (c)에 도시한 DRAM 구조의 경우, 점선으로 나타낸 DRAM 부분 외에, 리프레시와 반전을 행하는 회로가 복수 비트마다 설치되어 있다.

도 18은 도 17의 (c)의 DRAM 구조의 타이밍도이다. 이하, 도면을 기초로하여 도 17의 (c)의 동작을 설명한다. 전원 전압 VDD와 접지 전압 VSS는 그 차를 5V로 유지하면서, COM 전압에 동기하여 진동한다.

먼저, 데이터의 기입의 수순을 설명한다. 데이터 기입시에는 도 17의 (c)의 워드선 Wi를 활성화시킴으로써, 데이터가 보조 용량 Cs와 초단의 인버터에 인가된다. 이 때에 신호 A가 하이 레벨이므로, 트랜지스터는 오프 상태이고, 인버터의 투프는 차단되어 있다.

이어서, 워드선 Wi를 비활성화하여 신호 A를 로우 레벨로 하면, 인버터의 투프가 활성화하고, 초단의 인버터의 게이트 용량에 다이내믹하게 유지되어 있던 전압 레벨이 반전 증폭되고, 소망의 전압 레벨로 된다.

이어서, 신호 SBi를 도동시킨다. 이것에 의해서, Cs 레벨은 전압 레벨로 증전된다. 그 후, 워드선 Wi를 활성화하여, 상기 수순을 반복한다.

한편, 데이터 유지기간 중의 반전 리프레시는 이하의 수순으로 행해진다.

도 17의 (c)에서, 신호 SAi를 활성화하면, 보조 용량 Cs의 전압 레벨이 초단의 인버터의 게이트에 동적으로 유지된다. 신호 A가 로우 레벨로 되면, 인버터의 투프가 활성화하고, 이 투프의 증폭 동작에 의해서, 유지 레벨이 전원 레벨로 된다. 이어서, 신호 SBi를 활성화하면, 반전 레벨이 보조 용량 Cs에 기입된다. 이어서, 신호 SA(i + 1)를 활성화하고, 상기의 수순을 반복한다.

또한, 데이터의 리프레시는 데이터의 기입을 행하지 않는 기간(불린킹 기간)에 행해진다.

도 19는 메모리 전체를 변경하는 경우와, 행단위로 변경하는 경우와, 행열단위로 변경하는 경우에서, 소비 전력을 비교한 도면이다. 도면에 도시한 바와 같이, 소비 전력이 가장 많은 것은 메모리 전체를 변경하는 경우이며, 다음으로 행단위로 변경하는 경우이며, 소비 전력이 가장 적은 것이 본 실시 형태와 동일하게 행열 단위로 변경하는 경우이다.

도 20은 DRAM 구조의 1비트 메모리를 이용하여 화소 어레이부(1)를 구성한 경우의 액정 표시 장치의 개략 구성을 나타내는 블록도이며, 도 20의 회로 구성을 기본적으로는 도 5와 동일하지만, 화소 어레이부(1)에 반전 리프레시 회로가 부가된 DRAM이 설치되어 있다는 점에서 도 5와 다른 것이다. DRAM 구조로 함으로써, SRAM 구조 보다도 회로 구성을 간략화할 수 있고, 소비 전력도 저감할 수 있다.

이상에서는 1비트 메모리에 기억된 논리 레벨에 기초하는 표시를 상세하게 설명하였으나, 디지털 영상 신호를 아날로그

전압 레벨로 D/A 변환하고, 아날로그 전압 레벨을 데이터선에 인가하여, 액정 용량이나, Cs 용량에 기입하는 통상의 표시 수단도 병용할 수 있다. 각 부화소를 4비트 메모리로 하고, 대기 표시 모드에서는 메모리 베이스의 4비트 저소비 전력 표시, 동화상 표시 모드에서는 D/A 변환에 의한 6~8비트 표시로 할 수 있다. 또한, 본 발명에서의 표시층은 액정층에 한정되지 않고 EL층에도 가능하다.

이어서, 제1 실시 형태의 액정 표시 장치의 바람직한 구체예에 대하여 도면을 참조하여 설명한다.

이 액정 표시 장치는 PDA용에 사용되는 대각 4인치 사이즈, 충화소수 320 (\times 3) \times 480의 표시 영역을 구비한 광 반사형이다.

도 21은 이 액정 표시 장치의 개략 구성도이며, 도 22는 표시 화소의 개략 구성도이며, 도 23은 액정 표시 장치의 일부 개략 단면도이다.

이 액정 표시 장치는 결연 기판으로서 예를 들면 유리로 이루어진 어레이 기판(200) 상에, 표시 어레이부(1), 한상의 Y어드레스 디코더(2a, 2b), X어드레스 디코더(3), 및 도 1중의 VRAM 컨트롤러(5)의 기능의 일부를 내장한 인터페이스부(5a)를 예를 들면 다결정 실리콘 트랜지스터(p-Si TFT)에 의해 일체적으로 형성한 것이다. 상기한 인터페이스부(5a)를 어레이 기판(200) 상에, 일체적으로 형성함으로써, 후술하는 그래픽 컨트롤러 IC(5b)의 출력 편수를 저감할 수 있고, 이것에 의해서, 그래픽 컨트롤러 IC(5b)를 저렴화 할 수 있는 것은 물론이지만, 후술하지만 그래픽 컨트롤러 IC(5b)의 동작을 경지시킬 수 있고, 이것에 의해서 한층더한 저소비 전력화가 달성된다. 그 외에, 어레이 기판(200) 상에는 도 1중의 VRAM 컨트롤러(5)의 기능의 일부와 표시 메모리(VRAM)(4)를 1패키지에 통합한 그래픽 컨트롤러 IC(5b)와, DC/DC 변환기 등의 전원 회로를 내장한 전원 IC(8)가 COG(chip on glass)에 의해 실장되어 있다.

그래픽 컨트롤러 IC(5b)는 시스템 버스 L1에 직접 접속되어 있다. 전원 IC(8)는 도시하지 않은 외부 전원에 접속되어, 3V의 구동 전압 VDD 및 접지 전압 VSS의 공급을 받는다.

표시 어레이부(1)는 상술한 바와 같이, 총 화소수 320 (\times 3) \times 480으로 구성되고, 표시 영역의 좌우로 2분할되고, 또한 상하로 4분할된 160 (\times 3) \times 120화소로 이루어진 8블록(A1-4, B1-4)로 구분된다. 표시 어레이부(1) 내의 좌블록(A1-4)은 Y어드레스 디코더(2a)에 의해서 제어되고, 우블록(B1-4)은 Y어드레스 디코더(2b)에 의해서 제어된다.

표시 어레이부(1)를 구성하는 각 표시 화소는 도 22에 도시한 바와 같이, 면적 비율이 2 : 1의 부표시 화소 전극(81a, 81b)를 각각 구비하고 있다. 제1의 부표시 화소 전극(81a)과 대향 전극 Vcom과의 사이에는 액정 용량 CLca가 형성되고, 제2의 부표시 화소 전극(81b)과 대향전극 Vcom과의 사이에는 액정 용량 CLcb가 형성된다.

제1 부화소 전극(81a)에 대응하여, 3비트분의 화소 데이터 DATA를 기억하는 DRAM(71a-1, 71a-2, 71a-3)과, 각 DRAM(71a-1, 71a-2, 71a-3)에 대응하여 설치되는 전송용 TFT(72a-1, 72a-2, 71a-3)과, 각 DRAM(71a-1, 71a-2, 71a-3)에 대하여 공통으로 설치되는 리프레시 회로(73a)과, 제1 부화소 전극(81a)과 리프레시 회로(73a)과의 사이에 배치되는 극성 반전 회로(77a)가 설치된다.

또한, 제1 부화소 전극(81a)의 1/2의 면적을 갖는 제2 부화소 전극(81b)에 대응하여, 3비트분의 화소 데이터를 기억하는 DRAM(71b-1, 71b-2, 71b-3)과, 각 DRAM(71b-1, 71b-2, 71b-3)에 대응하여 설치되는 전송용 TFT(72b-1, 72b-2, 72b-3)과, 각 DRAM(71b-1, 71b-2, 71b-3)에 대하여 공통으로 설치되는 리프레시 회로(73b)와, 극성 반전 회로(77b)가 설치된다.

DRAM(71a-1, 71a-2, 71a-3, 71b-1, 71b-2, 71b-3)의 각각은 샘플링 트랜지스터 STrl-STr5과 용량 Cs0-Cs5를 갖는다.

리프레시 회로(73a, 73b)는 0V(VSS) 및 5V(VDD)의 전압 라인에 접속되고, 직렬 접속된 2개의 인버터 IV1, IV2와, 초단의 인버터 IV1의 입력 단자와 후단의 인버터 IV2의 출력 단자와의 사이에 접속된 귀환 TFT(76a, 76b)를 갖는다. 그리고, 전단의 인버터 IV1의 출력 단자 및 후단의 인버터 IV2의 출력 단자는 극성 반전 회로(77)에 접속되어 있다.

도 21의 액정 표시 장치는 면적 계조(각 표시면은 2부표시 화소 전극(81a, 81b)로 구성된다)와 폴스톡 변조(1프레임 기간에 점등 시간이 다른 3개의 서브 프레임 기간을 설치하고, 각 서브 프레임(제1~제3표시)기간의 점등 시간의 비율을 1:2:4로 한다.)를 조합시킨 구동에 의해서, 6비트 영상 데이터에 기초하는 64계조 표시를 실현하는 것이다.

각 표시 화소는 메모리로서, DRAM을 구비하고 있으므로, 정지화상 등을 표시하는 경우에는 주변 구동 회로의 동작을 정지시킬 수 있어 저소비 전력화가 가능하게 된다. 또한, 표시 영역의 8블록의 둑립 제어에 의해, 표시 화면의 부분적 인 변경이 가능하게 되기 때문에, 주변 구동 회로의 동작을 부분적으로 정지시킬 수 있어 한층 저소비 전력화가 가능하게 된다.

구체적으로, 그래픽·컨트롤러 IC는 그래픽·컨트롤러 IC 내의 프레임 메모리의 깨신이 없는 기간에는 전원 IC(8)에 휴지 신호 SHUT를 출력하고, 이것에 기초하여, 전원 IC(8)은 일부의 블록의 전원 공급을 정지하여 저소비 전력화를 도모한다.

먼저, 그래픽·컨트롤러 IC에 영상 데이터 data의 입력이 없는 경우에 대하여 설명한다.

종래의 액정 표시 장치에서는, 그래픽·컨트롤러 IC에 영상 데이터 data의 입력이 없는 경우에도, 그래픽·컨트롤러 IC는 항상 1프레임분의 화소 데이터를 출력하고 있으나, 본 실시예의 액정 표시 장치에서는 각 화소가 메모리를 내장하고 있으므로, 그래픽·컨트롤러 IC로부터의 일체의 영상 데이터 data의 출력을 정지시킬 수 있다. 또한, 이에 따라 X 어드레스 디코더의 동작도 정지시킬 수 있고, 또한 일부의 전원의 출력도 정지시키는 것에 의해서 저소비 전력화가 달성된다.

도 24는 표시 화소의 1프레임 기간 내의 표시 타이밍을 나타내는 도면이다. 도 24를 참조하여, 예를 들면, A2 블록 내의 하나의 표시 화소의 표시를 예로 들어 설명한다.

먼저, 시각 t1~t2의 동안에는 DRAM(71b-1)의 용량 Cs0에 데이터선 Xnb를 개재하여 0비트째의 데이터(예를 들면 "0")가 유지됨과 함께, DRAM(71a-1)의 용량 Cs3에 데이터선 Xna을 개재하여 3비트째의 데이터(예를 들면 "1")가 유지된다.

그 후, 시각 t2~t3(제1 표시기간)에서는 극성 반전 회로(77)에 입력되는 극성 신호 Po1A가 하이 레벨, Po1B가 로우 레벨로 설정되고, 제1 부표시 화소 전극(81a)에는 5V(VDD)의 전압이, 제2 부표시 화소 전극(81b)에는 0V(VSS)의 전압이 각각 인가된다. 또한, 이 때에, 대향 전극의 전압은 0V로 설정되어 있고, 이것에 의해서 제1 표시 기간 내(시각 t2~t3)는 제1 부표시 화소 전극(81a)에 대응하는 영역은 광이 투과하고, 제2 부표시 화소 전극(81b)에 대응하는 영역은 광이 차단된다.

그 후, 시각 t3~t4의 사이에서는, 제어 신호 A를 하이 레벨로 설정하여, 제1 및 제2 부표시 화소 전극(81a, 81b)의 전위를 대향 전극 전위 Vcom에 쇼트시킨다. 이에 따라, 액정 용량(CLca, CLcb)에 유지되어 있는 전하는 일단 방전된다. 또한, DRAM(71b-2)의 용량(Cs1)에 데이터선(Xnb)을 통하여 1비트째의 데이터(예를 들면 "1")가 유지됨과 함께, DRAM(71a-2)의 용량(Cs4)에 데이터선(Xna)을 통하여 4비트째의 데이터("0")가 유지된다.

그 후, 시각 t4~t5(제2 표시 기간)에서는, 극성 반전 회로(77)에 입력되는 극성 신호 Po1A가 하이 레벨, Po1B가 로우 레벨로 설정되고, 제1 부표시 화소 전극(81a)에는 0V(Vss)의 전압이, 제2 부표시 화소 전극(81b)에는 5V(Vdd)의

전압이 각각 인가된다. 더욱이, 이 때, 대향 전극의 전압은 제1 표시 기간과 마찬가지로 0V로 설정되어 있고, 이에 따라 제1 표시 기간 중(시각 t2~t3)에는, 제1 부표시 화소 전극(81a)에 대응하는 영역은 광이 차폐되고, 제2 부표시 화소 전극(81b)에 대응하는 영역은 광이 투과한다.

그 후, 시각 t5~t6의 사이에서는, 제어 신호 A를 하이 레벨로 설정하여, 제1 및 제2 부표시 화소 전극(81a, 81b)의 전위를 대향 전극 전위 Vcom에 쇼트시킨다. 이에 따라, 액정 용량(CLca, CLcb)에 유지되어 있는 전하는 일단 방전된다. 또한, DRAM(71b-3)의 용량(Cs2)에 데이터선(Xnb)을 통하여 1 비트째의 데이터(예를 들면 "1")가 유지됨과 함께, DRAM(71a-3)의 용량(Cs5)에 데이터선(Xna)을 통하여 4 비트째의 데이터("0")가 유지된다.

그 후, 시각 t6~t7(제3 표시 기간)에서는, 극성 반전 회로(77)에 입력되는 극성 신호 PolA가 하이 레벨, PolB가 로우 레벨로 설정되고, 제1 부표시 화소 전극(81a)에는 5V(Vdd)의 전압이, 제2 부표시 화소 전극(81b)에는 0V(Vss)의 전압이 각각 인가된다. 더욱이, 이 때, 대향 전극의 전압은 0V로 설정되어 있고, 이에 따라 제1 표시 기간 중(시각 t2~t3)에는, 제1 부표시 화소 전극(81a)에 대응하는 영역은 광이 투과하고, 제2 부표시 화소 전극(81b)에 대응하는 영역은 광이 차폐된다.

이와 같이, 본 실시예에서는, 면적 계조를 실현하기 위한 2개의 부표시 화소 전극(81a, 81b)과, 펠스냅 변조를 실현하기 위한 1 프레임 기간 내의 제1~제3 표시 기간(제1~제3 표시 기간의 절등 시간의 비율은 1:2:4)을 조합시킨 구동에 의해, 6 비트 영상 데이터에 기초하는 64 계조 표시가 실현된다.

더욱이, 다음 프레임 기간에서는, 극성 반전 회로(77)에 입력되는 극성 신호 PolA는 로우 레벨, PolB는 하이 레벨로 설정되고, 또 대향 전극의 전압은 5V로 설정되기 때문에, 동일의 표시 상태를 유지하면서, 액정에 인가되는 전압 극성을 반전할 수 있고, 인화 방지가 도모된다.

이상과 같이, 도 21의 액정 표시 장치에서는, 그래픽 컨트롤러 IC에 영상 데이터 data의 입력이 없는 경우에 X 어드레스 데이터의 동작을 완전히 정지시키고, 내장되는 DRAM에 유지된 화소 데이터 DATA에 의해 표시를 유지할 수 있다.

다음으로, 상기의 표시 상태가 계속된 후에, 그래픽 컨트롤러 IC에 영상 데이터 data가 입력된 경우(표시 영역 내의 A1 블록의 일부의 표시가 변경이 있는 경우)에 대하여 설명한다.

그래픽 컨트롤러 IC에는, CPU(6)(도 1 참조)로부터 시스템 버스(L1)를 통하여 시스템 클록 SYSCLK와 함께, 영상 데이터 data 및 이 영상 데이터 data의 어드레스 데이터 adrs가 입력된다. 그래픽 컨트롤러 IC는, 이 어드레스 데이터 adrs에 기초하여 그래픽 컨트롤러 IC 내의 프레임 메모리를 순차 개선한다.

그래픽 컨트롤러 IC는, 입력되는 시스템 클록 SYSCLK에 기초하여 X 어드레스 디코더(3)를 제어하는 X 클록 XCLK와 X 스타트 XST를 출력함과 함께, Y 어드레스 디코더를 제어하는 Y 스타트 YST를 인터페이스부(5a)에 출력한다. 또한, 그래픽 컨트롤러 IC는, 개선된 영상 데이터 data에 대응한 A1 블록의 화소 데이터 DATA 및 A1 블록의 좌표를 지시하는 어드레스 데이터 ADRS를 인터페이스부(5a)에 출력한다.

인터페이스부(5a)는, 입력되는 X 클록 XCLK에 기초하여 Y 클록 YCLK를 생성하고, 이 Y 클록 YCLK 및 Y 스타트 YST를 Y 어드레스 디코더(2a, 2b)에 출력하고, 또 X 클록 XCLK 및 X 스타트 XST를 X 어드레스 디코더(3)에 출력한다. 또한 인터페이스부(5a)는, 입력되는 블록 단위의 화소 데이터 DATA 및 어드레스 데이터 ADRS에 기초하여, Y 어드레스 데이터 YADRS를 Y 어드레스 디코더(2a, 2b)에 출력함과 함께, 화소 데이터 DATA 및 X 어드레스 데이터 X ADRS를 X 어드레스 디코더(3)에 출력한다.

X 어드레스 디코더(3)는, 입력되는 화소 데이터 DATA 및 X 어드레스 테이터 XADRS에 기초하여 H/2 기간에서 A2 블록의 일 수평 화소 라인에 대응한 데이터를 샘플링 회로(SP)에서 샘플링하고, 데이터 래치(DL)에서 화소 테이터 D ATA를 유지한다. 그리고, 데이터선 드라이버(XDR), 데이터선 선택 스위치(XSW)를 통하여 A2 블록에 대응하는 데이터선(Xna, Xnb)에, 대응하는 화소 데이터 DATA를 각 비트 순으로 순차 출력한다.

Y 어드레스 디코더(2a, 2b)의 디코더부(DC)는, 입력되는 Y 어드레스 테이터 YADRS에 기초하여 A2 블록에 대응하는 제어부(2L)만을 액티브로 하고, 제어부(2L)는 대응 화소에 신호(A, W1~W3, SA1~SA3, PoIA, PoIB)를 출력한다.

도 24에 도시하는 A2 블록의 타이밍에서 X 어드레스 디코더(3)로부터 A2 블록에 대응하는 데이터선(Xna, Xnb)에 6 비트의 화소 테이터 DATA가 순차 공급된다. 또한, Y 어드레스 디코더(2a)로부터 샘플링 폴스 W1이 순차 공급되고, 이에 따라, 우선, 6 비트 DATA의 0 비트째가 DRAM(71b-1)의 용량(Cs0)에 유지됨과 함께, 3 비트째가 DRAM(71a-1)의 용량(Cs3)에 유지된다. 다음으로 샘플링 폴스 W2가 공급된 시점에서, 6 비트 DATA의 1 비트째가 DRAM(71a-2)의 용량(Cs1)에 유지되고, 4 비트째가 DRAM(71b-2)의 용량(Cs4)에 유지된다. 다음으로 샘플링 폴스 W3이 공급된 시점에서, 6 비트 DATA의 2 비트째가 DRAM(71b-3)의 용량(Cs2)에 유지되고, 5 비트째가 DRAM(71a-3)의 용량(Cs5)에 유지된다.

예를 들면, 이전의 표시 상태와 달리, DRAM(71a-1, 71a-2, 71a-3, 71b-1, 71b-2, 71b-3)의 용량(Cs0)에 0 비트째의 데이터 "1" 이, 용량(Cs1)에 1 비트째의 데이터 "0" 이, 용량(Cs2)에 2 비트째의 데이터 "1" 이, 용량(Cs3)에 3 비트째의 데이터 "0" 이, 용량(Cs4)에 4 비트째의 데이터 "1" 이, 용량(Cs5)에 5 비트째의 데이터 "0" 이 유지되는 것으로 한다.

더욱이, 본 실시예의 구조에 의하면, 각 DRAM(71a-1~71b-3)과 부표시 화소 전극(81a, 81b)에 전류 공급하는 리프레시 회로(73a, 73b)는 샘플링 동작시에 전송용 트랜지스터(72a-1~72a-3)에 의해 전기적으로 분리되기 때문에, 표시 동작과 독립하여 샘플링 동작을 행하는 것이 가능하다. 따라서, 표시 동작을 행하는 것과 동시에 DRAM(71a-1~71b-3)의 리프레시를 행할 수 있고, 리프레시 기간을 따로 구비할 필요가 없게 된다.

도 24에 도시하는 0, 3 비트째의 로드 기간에서, 전송 폴스 SA1에 의해 전송용 트랜지스터(72a-1, 72b-1)는 도통된다.

예를 들면, 제1 표시 기간(도 24의 시작 t2~t3)에서는, 극성 반전 회로(77)에 입력되는 극성 신호 PoIA가 하이 레벨, PoIB가 로우 레벨로 설정되고, 제1 부표시 화소 전극(81a)에는 0V(Vss)의 전압이, 제2 부표시 화소 전극(81b)에는 5V(Vdd)의 전압이 각각 인가된다. 더욱이, 이 때, 대향 전극의 전압은 0V로 설정되어 있고, 이에 따라 제1 표시 기간 중에는, 제1 부표시 화소 전극(81a)에 대응하는 영역은 광이 차폐되고, 제2 부표시 화소 전극(81b)에 대응하는 영역은 광이 투과한다.

그 후, 도 24의 시작 t3~t4에서는, 제어 신호 A를 하이 레벨로 설정하여, 제1 및 제2 부표시 화소 전극(81a, 81b)의 전위를 대향 전극 전위 Vcom에 쇼트시킨다. 이에 따라, 액정 용량(CLca, CLcb)에 유지되어 있는 전하는 일단 방전된다. 또한, DRAM(71b-2)의 용량(Cs1)에 데이터선(Xnb)을 통하여 1 비트째의 데이터(예를 들면 "1")가 유지됨과 함께, DRAM(71a-3)의 용량(Cs5)에 데이터선(Xna)을 통하여 4 비트째의 데이터("0")가 유지된다.

그 후, 시작 t4~t5(제2 표시 기간)에서는, 극성 반전 회로(77)에 입력되는 극성 신호 PoIA가 하이 레벨, PoIB가 로우 레벨로 설정되고, 제1 부표시 화소 전극(81a)에는 5V(Vdd)의 전압이, 제2 부표시 화소 전극(81b)에는 0V(Vss)의 전압이 각각 인가된다. 더욱이, 이 때, 대향 전극의 전압은 제1 표시 기간과 마찬가지로 0V로 설정되어 있고, 이에 따라 제1 표시 기간 중(시작 t2~t3)에는, 제1 부표시 화소 전극(81a)에 대응하는 영역은 광이 투과하고, 제2 부표시 화소

전극(81b)에 대응하는 영역은 광이 차폐된다.

그 후, 시각 t5~t6의 사이에서는, 제어 신호 A를 하이 레벨로 설정하여, 제1 및 제2 부표시 화소 전극(81a, 81b)의 전위를 대향 전극 전위 Vcom에 쇼트시킨다. 이에 따라, 액정 용량(CLca, CLcb)에 유지되어 있는 전하는 일단 방전된다. 또한, DRAM(71b~3)의 용량(Cs2)에 데이터선(Xnb)을 통하여 1 비트짜의 데이터(예를 들면 "1")가 유지됨과 함께, DRAM(71a~3)의 용량(Cs5)에 데이터선(Xna)을 통하여 4 비트짜의 데이터("0")가 유지된다.

그 후, 시각 t6~t7(제3 표시 기간)에서는, 극성 반전 회로(77)에 입력되는 극성 신호 PoIA가 하이 레벨, PoIB가 로우 레벨로 설정되고, 제1 부표시 화소 전극(81a)에는 0V(Vss)의 전압이, 제2 부표시 화소 전극(81b)에는 5V(Vdd)의 전압이 각각 인가된다. 더욱이, 이 때, 대향 전극의 전압은 0V로 설정되어 있고, 이에 따라 제1 표시 기간 중(시각 t2~t3)에는, 제1 부표시 화소 전극(81a)에 대응하는 영역은 광이 차폐되고, 제2 부표시 화소 전극(81b)에 대응하는 영역은 광이 투과한다.

더욱이, 데이터 입력이 없었던 다른 블록은, 상술한 바와 같이, DRAM에 유지되어 있는 화소 데이터에 기초하여 표시가 유지된다.

상술한 바와 같이, 본 실시예의 액정 표시 장치에 의하면, 내장 6 비트 메모리와, 면적 계조(각 표시 화소를 2 부표시 화소 전극(81a, 81b)으로 구성)와, 펄스폭 변조(1 프레임 기간에 점등 시간이 다른 3개의 서브프레임 기간을 구비하고, 각 서브프레임(제1~제3 표시) 기간의 점등 시간의 비율을, 1 : 2 : 4로 한다)를 조합시킨 구성에 의해, 정지화 표시시에는 X 어드레스 디코더의 동작을 완전히 정지시키면서, 내장 6 비트 메모리에 의해 64 계조 표시를 실현할 수 있고, 소비 전력을 대폭 삭감할 수 있다.

또한, 표시 영역을 2차원적으로 복수의 블록으로 구분하고, 각각 독립 제어 가능하게 한 것에 의해, 부분적인 영역의 변경도 최소한의 회로 동작으로 실현할 수 있고, 소비 전력을 대폭 삭감할 수 있다.

이 실시예에서는, 액정에 인가되는 전압의 극성을 1 프레임 기간마다 반전시키는 것에 의해 인화에 의한 표시 품위의 저하를 하였지만, 소비 전력을 충대하는 것의 플리커(flicker)를 저감시키기 위하여 1 프레임에 한정되지 않고 1 수평 화소 라인마다, 또는 복수 수평 화소 라인마다 있어도 상관없다.

또한, 이 실시예에서는 대향 전극의 전위를 프레임 주기로 변동시키는, 소위 커먼(common) 반전 구동을 이용하는 것에 의해, 인버터에 입력되는 전원 전압을 2개로 억제할 수 있고, 어레이 기판의 구성의 간략화가 달성되었다.

그런데, 상기 실시예에서는, Y 어드레스 디코더를 화소 어레이부(1)의 좌우에 배치하는 것에 의해 좌우 방향으로 2 분할하는 것을 실현하였지만, 이 외에도 예를 들면 도 25에 도시하는 바와 같이 열 워드선 구동 회로를 배치하는 것에 의해, 좌우 방향으로의 분할수에 제한이 없이, 보다 미세하게 블록 구분하는 것이 가능하게 된다. 즉, 이전의 실시예에서는 Y 어드레스 디코더의 지정에 의해 대응 블록이 일의적으로 결정되었지만, 이 실시예에서는 Y 어드레스 디코더와 열 워드선 구동 회로의 각각의 지정에 의해 대응 블록이 결정되는 것이 된다.

도 21의 액정 표시 장치의 구성에 대하여, 도 23을 참조하여 보충 설명한다. 각각의 회로 블록 등을 구성하는 TFT는, 유리로 이루어지는 절연 기판(100) 상에 다결정 실리콘(p-Si)(101)을 활성층으로 하여 형성되고, N 채널 TFT는 리크 전류를 저감하기 위하여 LDD (Light Doped Drain) 구조가 채용되어 있다. 다결정 실리콘(p-Si)(101) 상에는 산화 실리콘막으로 이루어지는 게이트 절연막(102)이 배치되고, 이 위에 MoW 합금 등으로 이루어지는 게이트 전극(103)이

3)이 배치되어 있다. 그리고, 이 위에 산화 실리콘막으로 이루어지는 중간 절연막(104)을 통하여 다결정 실리콘(p-Si)(101)에 전기적으로 접속되는 소스 및 드레인 전극(105, 106)이 배치되어 있다. 또한 이 위에 아크릴 수지 등으로 이루어지는 중간 절연막(104)이 약 3 μ m의 막 두께로 배치되고, 이 위에 Al로 이루어지는 반사 전극으로 화소 전극(107)이 배치되어 어레이 기판(99)은 구성되어 있다.

이 어레이 기판(99)에 대향하는 대향 기판(110)은, 유리 기판 상에 Cr 등의 금속, 또는 흑색 수지로 이루어지는 차광막(111)이 배치되고, 차광막(111) 사이에 적, 청, 녹의 컬러 필터(112)가 배치되고, 이 위에 ITO (Indium Tin Oxide) 등의 투명 전극으로 이루어지는 대향 전극(113)이 배치되어 구성되어 있다.

그리고, 어레이 기판(99)과 대향 기판(113)의 사이에는 배향막(114, 115)을 통하여 액정층(116)이 유지되고, 또한 대향 기판(113) 상에는 편광판(117)이 배치되어 구성되어 있다.

액정층(116)으로는, 트위스티드 네마틱 액정 등 외에, 응답성이 우수한 강유전성 액정, OCB 액정 등이 호적하게 사용된다.

또한, 액정의 표시 모드로는, 상술한 반사형 외에, 투파형이어도 되고, 또한 반사 전극에 개구가 형성된 반사와 투파를 겸용하는 반사·투파형, 나아가서는 콜레스테릭 액정 등의 선택 반사막을 이용한 반투파형 등, 각종의 표시 모드에 적용할 수 있다.

< 제2 실시 형태 >

제2 실시 형태는, 표시 소자로서 EL(electroluminescence) 소자를 이용한 예이다.

이 EL 소자는, 도 26에 도시한 바와 같이 유리로 이루어지는 절연 기판(100) 상에 다결정 실리콘(p-Si)을 활성층(131)으로 하여 형성되고, N 채널 TFT는 리크 전류를 저감하기 위하여 LDD 구조가 채용되어 있다. 다결정 실리콘(p-Si) 상에는 산화 실리콘막으로 이루어지는 게이트 절연막(132)이 배치되고, 이 위에 MoW 합금 등으로 이루어지는 게이트 전극(133)이 배치되어 있다. 그리고, 이 위에 산화 실리콘막으로 이루어지는 중간 절연막(134)을 통하여 다결정 실리콘(p-Si)에 전기적으로 접속되는 소스 및 드레인 전극(135, 136)이 배치되어 있다. 또한 이 위에 아크릴 수지 등으로 이루어지는 중간 절연막(137)이 약 3 μ m의 막 두께로 배치되고, 이 위에 Al과 ITO 등의 투명 전극과의 적층체로 이루어지는 반사성의 화소 전극(138)이 배치되어 있다.

그리고, 화소 전극을 구획하기 위하여 화소 전극 사이에는 아크릴계 흑색 수지로 이루어지는 화소 분리용 격벽(139)이 배치되고, 화소 분리용 격벽(139)으로 구획된 화소 전극 상에 고분자 이온 콤플렉스로 이루어지는 흘 주입층(140)이 배치되어 있다. 또한 흘 주입층(140) 상에는, 각 화소에 대응한 공역 플리미로 이루어지는 발광층(141)이 배치되고, 이 위에 박막 일칼리 토류 금속과 ITO 등의 투명 전극과의 적층체로 이루어지는 캐소드 전극(142)이 배치되어 구성되어 있다.

흘 주입층(140)이나 발광층(141)으로는, 상술한 고분자 재료는 잉크 제트 도포에 의해 형성 가능하기 때문에 생산성이 높고 호적하지만, 이 발명은 이에 한정되는 것은 아니고 각종 저분자 재료도 호적하게 사용 가능하다.

도 27은, 이 EL 소자의 개략 구성도이고, EL 소자의 1화소분의 구성을 도시하고 있다. 도시한 바와 같이, 적(R)색용, 녹(R)색용, 및 청(B)색용의 3개의 블록으로 구성된다. 각 블록 내에는, 화소 데이터를 기억하는 DRAM(71)과, 전송용 TFT(72)와, 리프레시 회로(73)와, 구동용 TFT(74)와, EL 소자(75)가 구비되어 있다.

DRAM(71)과 전송용 TFT(72)는 화소 데이터의 비트수분만큼 구비된다. 예를 들면, 도 27은 6개의 DRAM(71)과 전송용 TFT(72)를 구비하고 있고, $2^5 = 64$ 계조의 표시가 가능하다.

리프레시 회로(73)는, 직렬 접속된 2개의 인버터(IV3, IV4)와, 초단의 인버터(IV3)의 입력 단자와 후단의 인버터(IV4)의 출력 단자와의 사이에 접속된 귀환 TFT(76)를 갖는다. 후단의 인버터(IV4)의 출력 단자는, 구동용 TFT(74)의 게이트 단자에 접속되고, 구동용 TFT(74)의 소스 단자에는 EL 소자(75)가 접속되어 있다.

리프레시 회로(73)에는, 6개의 DRAM(71)과 전송용 TFT(72)가 병렬로 접속되어 있고, 전송용 TFT(72)의 어느 것인가가 온되면, 대응하는 DRAM(71)의 데이터가 독출되어 리프레시 회로(73)에 입력된다.

도 27의 EL 표시 소자는, EL 소자(75)의 점등 기간을 제어하는 것에 의해, 계조 표시를 실현하고 있다. 예를 들면 64 계조 표시를 행하는 경우, 도 28에 도시한 바와 같이, 1 프레임 기간에 점등 시간이 다른 6개의 서브프레임 기간을 구비하고, 각 서브프레임 기간의 점등 시간(도면의 흑부분)의 비율을, 1 : 2 : 4 : 8 : 16 : 32로 한다. 그리고, 화소 데이터의 값에 따라서, 각 서브프레임 기간 내에 EL 소자(75)를 점등시키는지 여부를 결정한다.

도 28의 (a)는 화소 데이터(1, 1, 1, 1, 1, 1)의 화소의 경우를 예로 하여, 해당 화소의 EL 소자가 실제로 점등하는 기간을 1 프레임에 걸쳐서 도시한 것이다. 도면의 흑으로 표시한 기간에 실제로 해당 화소의 EL 소자부가 발광한다. 도 28의 (b)는 화소 데이터(1, 0, 1, 0, 1, 1)의 화소의 경우를 예로 하여, 해당 화소의 EL 소자가 실제로 점등하는 기간을 1 프레임에 걸쳐서 도시한 것이다.

이하, 도 27의 EL 표시 장치의 동작을 설명한다. 우선, 워드선 W_i~W_(i+5)를 순서대로 온한 상태에서, 비트선에 데이터를 순서대로 공급하는 것에 의해, DRAM(71)에의 화소 데이터의 기입이 행해진다.

DRAM(71)에의 데이터의 기입이 종료되면, 제어선 SAI~SA_(i+5)를 제어하는 것에 의해, 6개의 전송용 TFT(72)를 1개씩 순서대로 온시킨다. 보다 구체적으로는, 서브프레임 기간마다, 전송용 TFT(72)를 순서대로 교대로 온시킨다.

이에 따라, 온한 전송용 TFT(72)에 접속된 DRAM(71)의 데이터가 순서대로 리프레시 회로(73)에 입력된다. 이 시점에서는, 제어선 A는 하이 레벨이고, 귀환 TFT(76)는 오프되어 있다.

다음으로, 제어선 A를 로우 레벨로 하여 귀환 TFT(76)를 온시킨다. 이에 따라, 리프레시 회로(73)에 의해 리프레시 동작이 행해진다.

한편, 전원 공급선에는, 도 28의 (a)와 동주기의 도 28의 (c)와 같은 전압 펄스가 공급된다. 따라서, 리프레시 회로(73)의 출력이 하이 레벨이면, 구동용 TFT(74)가 온되고, 도 28의 (a)의 흑색 기간 중에, EL 소자(75)가 점등한다.

DRAM(71)에 화소 데이터를 기입하는 타이밍과 EL 소자(75)의 발광 타이밍은, 한 가지만은 아니고, 여러 가지가 고려된다. 예를 들면, 도 29의 (a)는 EL 소자(75)의 발광 기간과는 별개로 DRAM(71)의 데이터 갱신 기간을 구비하는 경우의 타이밍도를 도시하고 있다.

또한, 도 29의 (b)는 EL 소자(75)의 발광 기간의 일부를 DRAM(71)의 데이터 갱신에 이용하는 예를 도시하고 있다. 발광 기간 중에 데이터의 갱신을 행하는 데는, 예를 들면, 전송용 TFT(72)나 귀환 TFT(76)를 오프하면 된다.

또한, 도 29의 (c)는 EL 소자(75)의 발행 기간과 DRAM(71)의 데이터 갱신을 거의 동 타이밍에서 행하는 예를 도시하고 있다. 이 경우는, 리프레시 동작이 종료하는 즉시 전송용 TFT(72)를 오프하여 DRAM(71)과 리프레시 회로(73)를 분리하여 DRAM(71)의 데이터 갱신을 행하면 된다. 게다가, 다음과 같이 하면, 발광 기간과는 완전히 독립적으로 갱신하는 것이 가능하게 된다. 즉, 전송용 TFT(72)에 의해 DRAM(71)의 전압을 리프레시 회로에 한창 보내고 있는 중에도, 워드선 W_i가 활성화하면 반드시 SAI를 로우 레벨로 하는 로직을 정한다. 발광 시퀀스와 메모리 갱신 시퀀스를 완전히 독립적인 주기에서 정할 수 있다. 본 발명과 같은 구성이라면 가능하게 된다.

도 29의 (a)보다도 도 29의 (b)의 쪽이 발광 기간을 길게 할 수 있고, 도 29의 (b)보다도 도 29의 (c)의 쪽이 발광 기간을 길게 할 수 있다. 일반적으로는, 발광 기간이 긴 쪽이 소비 전력을 저감할 수 있다.

본 실시 형태에서는, DRAM 리프레시 회로로서 2개의 인버터의 입출력을 투프 상으로 접속하는 것을 이용하였지만, DRAM(71)의 논리 레벨을 증폭하는 기능을 가진 회로라면 다르게도 각종 변형이 가능하다.

발명의 효과

본 발명에 따르면, 소비 전력을 저감하고 소형화가 가능한 표시 장치를 제공할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

표시 장치에 있어서,

매트릭스 형상으로 배치된 복수의 표시 화소,

상기 표시 화소의 행방향을 따라서 배치되는 복수개의 주사선,

상기 표시 화소의 열방향을 따라서 배치되는 데이터선,

상기 데이터선에 데이터 신호를 공급하는 데이터선 구동 회로,

상기 주사선에 주사 신호를 공급하는 주사선 구동 회로, 및

상기 데이터선 구동 회로 및 상기 주사선 구동 회로를 제어하는 제어부

를 구비하며,

상기 표시 화소는,

상기 주사 신호에 응답하여 대응하는 상기 데이터 신호를 샘플링하는 샘플링부,

상기 샘플링부에 의해서 샘플링된 대응 데이터를 유지하는 메모리부, 및

상기 대응 데이터에 기초하여 소정의 표시를 행하는 표시부

를 포함하며,

상기 제어부는, 행열 방향으로 각각 2이상의 상기 표시 화소로 이루어지는 가상 블록으로 구분하고, 상기 가상 블록 내의 상기 각 표시 화소의 상기 대응 데이터가 변경되는 경우에, 상기 가상 블록 내의 상기 각 표시 화소가 상기 대응 데이터에 기초한 표시를 행하도록, 상기 가상 블록 내의 상기 각 표시 화소에 대응하는 상기 주사선으로의 선택적인 상기 주사 신호의 공급을 상기 주사선 구동 회로에 대하여 지시하고, 상기 가상 블록 내의 상기 각 표시 화소의 상기 대응 데이터가 변경되지 않은 경우에, 상기 가상 블록 내의 상기 각 표시 화소가 대응하는 상기 메모리부에 유지되는 대응 데이터에 기초하여 표시를 행하도록, 상기 가상 블록 내의 상기 각 표시 화소에 대응하는 상기 주사선으로의 선택적인 상기 주사 신호의 공급 금지를 상기 주사선 구동 회로에 대하여 지시함과 함께, 상기 가상 블록 내의 상기 각 표시 화소에 대응하는 상기 데이터선으로의 상기 대응 데이터의 공급의 금지를 지시하는 것을 특징으로 하는 표시 장치.

청구항 2.

제1항에 있어서, 상기 표시 화소는 상기 메모리부에 유지된 상기 대용 데이터에 기초한 화소 전압을 기준 전압에 대하여 소정 주기에서 극성 반전하는 극성 반전 회로를 포함하는 것을 특징으로 하는 표시 장치.

청구항 3.

제2항에 있어서, 상기 소정 주기는 상기 주사 신호에 기초하여 결정되는 것을 특징으로 하는 표시 장치.

청구항 4.

제2항에 있어서, 상기 극성 반전 회로는 행 또는 열방향을 따라 배치되는 한쌍의 제어 배선에 접속되고, 상기 제어 배선에 입력되는 제어 신호에 기초하여 극성 반전되는 것을 특징으로 하는 표시 장치.

청구항 5.

제4항에 있어서, 상기 제어 배선과 직교하는 방향으로 인접하는 한쌍의 상기 극성 반전 회로는 한쌍의 상기 제어 배선에 공통으로 접속되는 것을 특징으로 하는 표시 장치.

청구항 6.

제1항에 있어서, 상기 가상 블록에 대응한 열방향에 배치되는 복수개의 열 선택선과, 상기 열 선택선에 선택 신호를 공급하는 열 선택선 구동 회로와, 상기 가상 블록 내의 행방향에 인접하는 상기 표시 화소에 대응하여 배치되는 부주사선과, 상기 열 선택선에 공급되는 선택 신호와 상기 주사선에 공급되는 주사 신호에 기초하여 상기 부주사선에 부주사 신호를 공급하는 선택 제어부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 7.

제1항에 있어서, 상기 제어부는 변경되는 상기 가상 블록 내의 상기 각 표시 화소의 대용 데이터를 일군으로 하여, 상기 가상 블록의 어드레스 데이터와 함께 상기 데이터선 구동 회로 및 상기 신호선 구동 회로에 공급하는 것을 특징으로 하는 표시 장치.

청구항 8.

제1항에 있어서, 상기 가상 블록 내에서 열방향에 인접하는 한쌍의 상기 표시 화소는 하나의 상기 데이터선에 공통으로 대응하여 배치되는 것을 특징으로 하는 표시 장치.

청구항 9.

제1항에 있어서, 상기 표시 화소는 한쌍의 전극간에 발광층이 유지되어 구성되는 것을 특징으로 하는 표시 장치.

청구항 10.

제1항에 있어서, 상기 표시 화소는 한쌍의 전극간에 액정층이 유지되어 구성되는 것을 특징으로 하는 표시 장치.

청구항 11.

매트릭스 형상으로 배치된 복수의 표시 화소,

상기 표시 화소의 행방향을 따라서 배치되는 복수개의 주사선,

상기 표시 화소의 열방향을 따라서 배치되는 테이터선,

상기 테이터선에 데이터 신호를 공급하는 테이터선 구동 회로,

상기 주사선에 주사 신호를 공급하는 주사선 구동 회로

를 구비하며,

상기 표시 화소는,

상기 주사 신호에 응답하여 대응하는 상기 테이터 신호를 샘플링하는 샘플링부,

상기 샘플링부에 의해서 샘플링된 대응 데이터를 유지하는 메모리부, 및

상기 대응 데이터에 기초하여 소정의 표시를 행하는 표시부

를 포함하는 표시 장치의 구동 방법에 있어서,

행열 방향으로 각각 2이상의 상기 표시 화소로 이루어지는 가상 블록으로 구분하는 단계,

상기 가상 블록 내의 상기 각 표시 화소의 상기 대응 데이터가 변경되는 경우에, 상기 가상 블록 내의 상기 각 표시 화소가 상기 대응 데이터에 기초한 표시를 행하도록, 상기 가상 블록 내의 상기 각 표시 화소에 대응하는 상기 주사선으로의 선택적인 상기 주사 신호의 공급을 상기 주사선 구동 회로에 대하여 지시하는 단계,

상기 가상 블록 내의 상기 각 표시 화소의 상기 대응 데이터가 변경되지 않은 경우에, 상기 가상 블록 내의 상기 각 표시 화소가 대응하는 상기 메모리부에 유지되는 대응 데이터에 기초하여 표시를 행하도록, 상기 가상 블록 내의 상기 각 표시 화소에 대응하는 상기 주사선으로의 선택적인 상기 주사 신호의 공급 금지를 상기 주사선 구동 회로에 대하여 지시함과 함께, 상기 가상 블록 내의 상기 각 표시 화소에 대응하는 상기 테이터선으로의 상기 대응 데이터의 공급의 금지를 지시하는 단계

를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 12.

제11항에 있어서, 상기 표시 화소는 상기 메모리부에 유지된 상기 대응 데이터에 기초한 화소 전압을 기준 전압에 대하여 소정 주기에서 극성 반전하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 13.

제12항에 있어서, 상기 소정 주기는 상기 주사 신호에 기초하여 결정되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 14.

제12항에 있어서, 상기 극성 반전 회로는 행 또는 열방향을 따라 배치되는 한쌍의 제어 배선에 접속되고, 상기 제어 배선에 입력되는 제어 신호에 기초하여 극성 반전되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 15.

제14항에 있어서, 상기 제어 배선과 직교하는 방향으로 인접하는 한쌍의 상기 극성 반전 회로는 한쌍의 상기 제어 배선에 공통으로 접속되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 16.

제11항에 있어서, 상기 가상 블록에 대응한 열방향에 배치되는 복수개의 열 선택선과, 상기 열 선택선에 선택 신호를 공급하는 열 선택선 구동 회로와, 상기 가상 블록 내의 행방향에 인접하는 상기 표시 화소에 대응하여 배치되는 부주사선과, 상기 열 선택선에 공급되는 선택 신호와 상기 주사선에 공급되는 주사 신호에 기초하여 상기 부주사선에 부주사신호를 공급하는 선택 제어부가 설치되는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 17.

제11항에 있어서, 상기 제어부는 변경되는 상기 가상 블록 내의 상기 각 표시 화소의 대응 데이터를 일군으로 하여, 상기 가상 블록의 어드레스 데이터와 함께 상기 데이터선 구동 회로 및 상기 신호선 구동 회로에 공급하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 18.

제11항에 있어서, 상기 가상 블록 내에서 열방향에 인접하는 한쌍의 상기 표시 화소는 하나의 상기 데이터선에 공통으로 대응하여 배치되는 것을 특징으로 하는 표시 장치의 구동 방법.

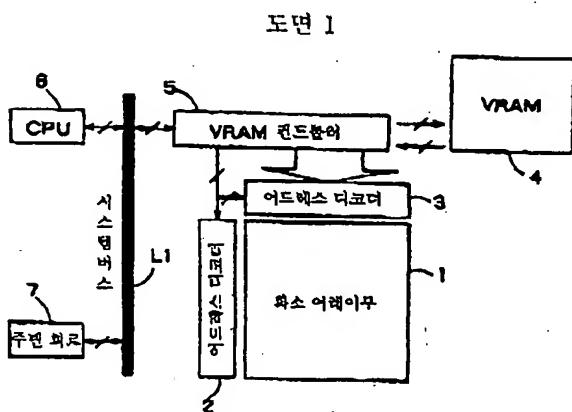
청구항 19.

제11항에 있어서, 상기 표시 화소는 한쌍의 전극간에 발광층이 유지되어 구성되는 것을 특징으로 하는 표시 장치의 구동 방법.

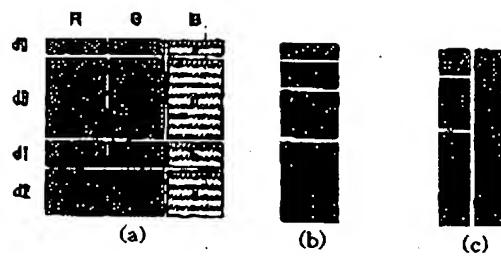
청구항 20.

제11항에 있어서, 상기 표시 화소는 한쌍의 전극간에 액정층이 유지되어 구성되는 것을 특징으로 하는 표시 장치의 구동 방법.

도면



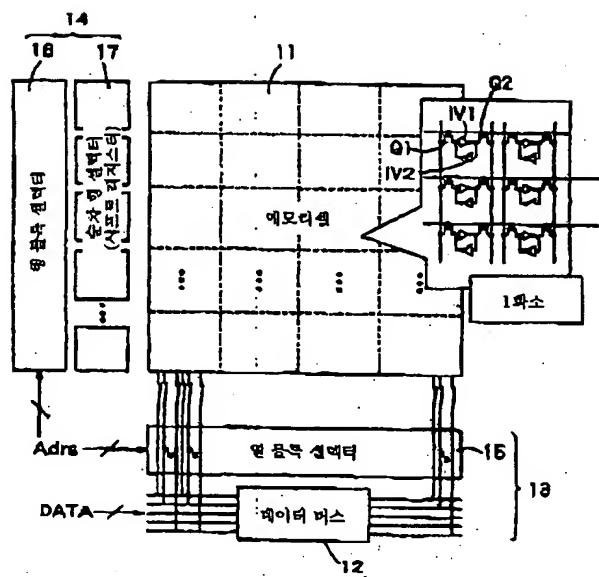
도면 2



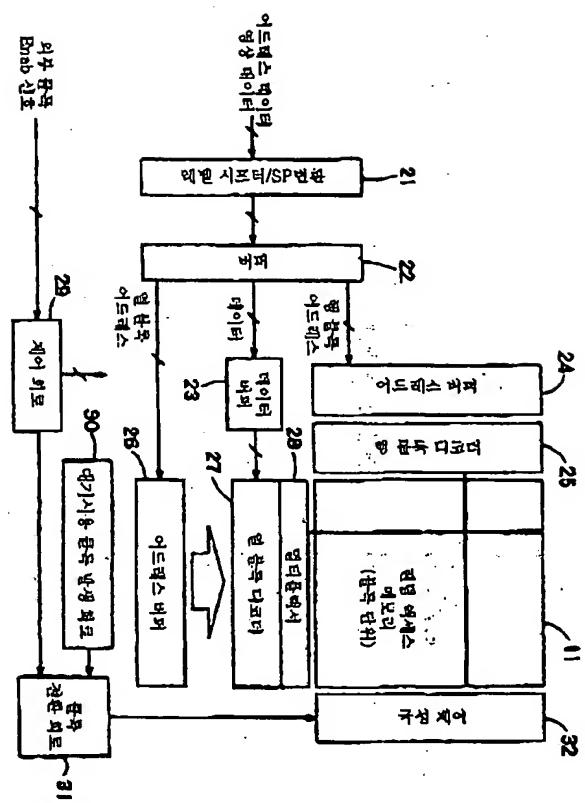
도면 3



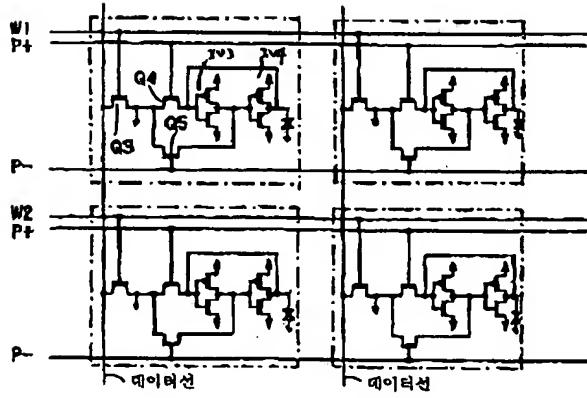
도면 4



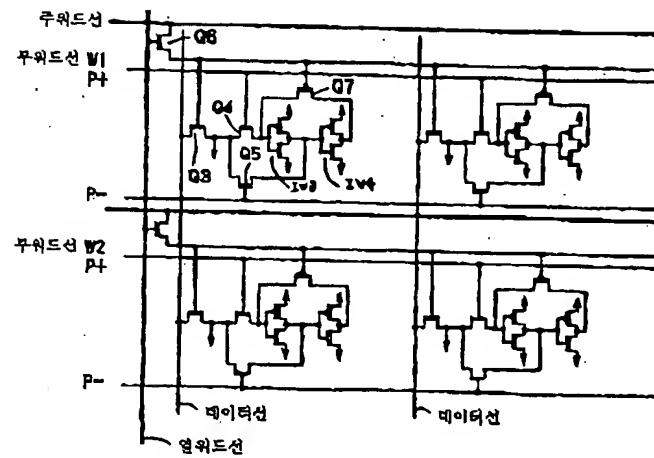
도면 5



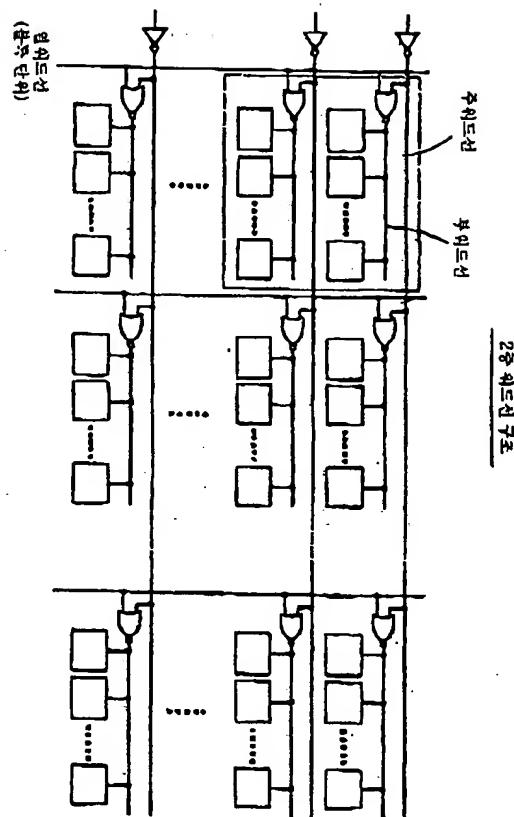
도면 6



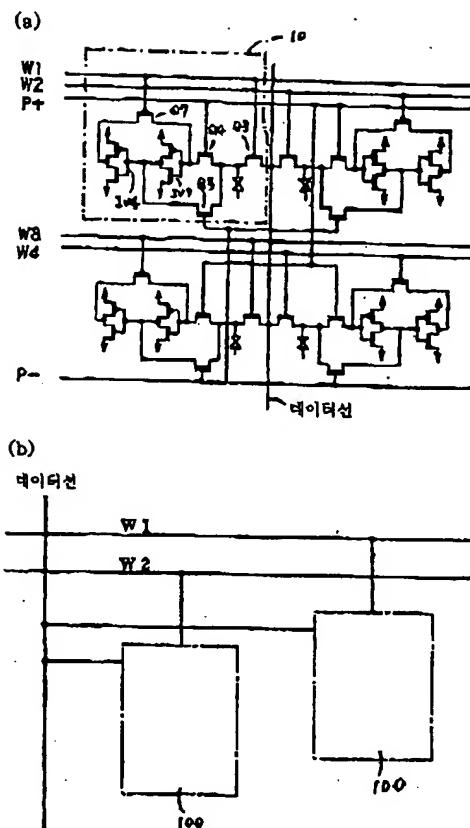
도면 7



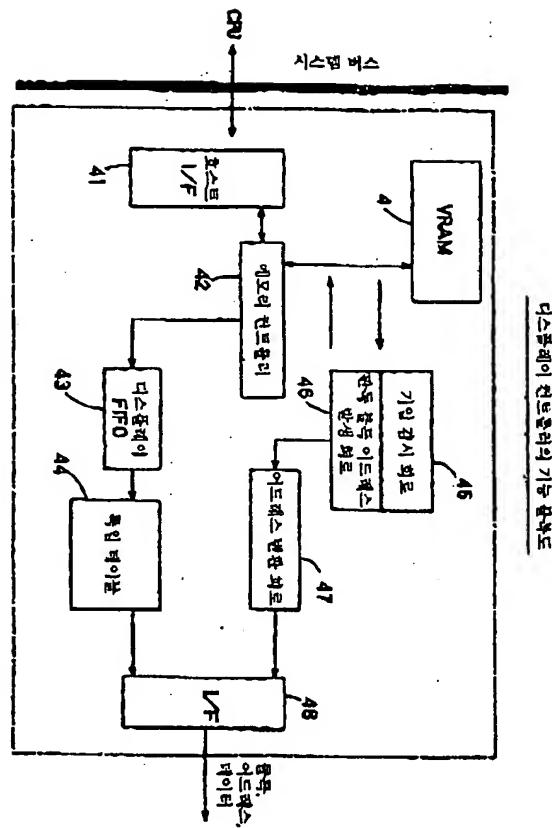
도면 8



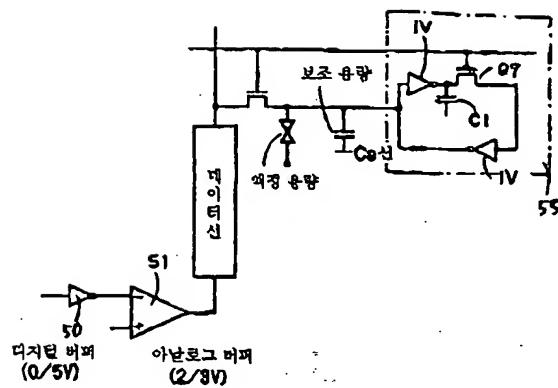
도면 9



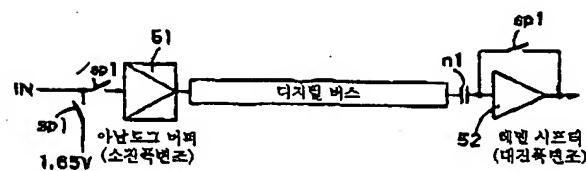
도면 10



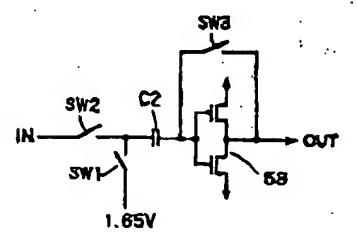
도면 11



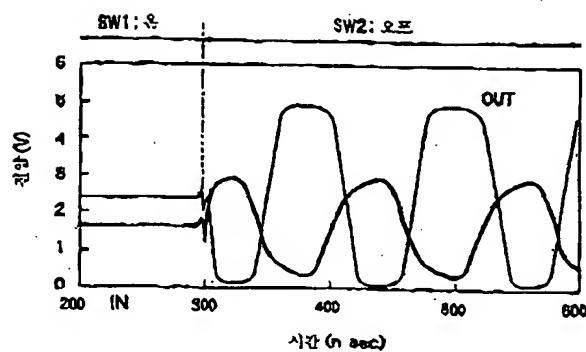
도면 12



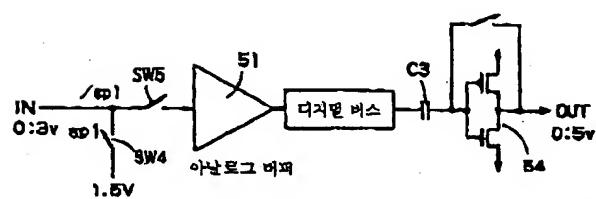
九四 13



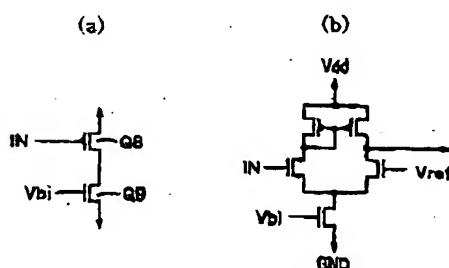
도면 14

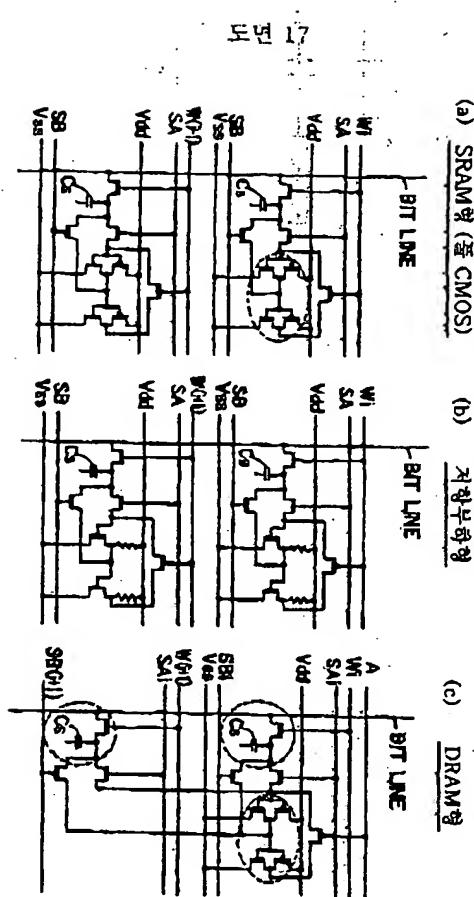


도면 15

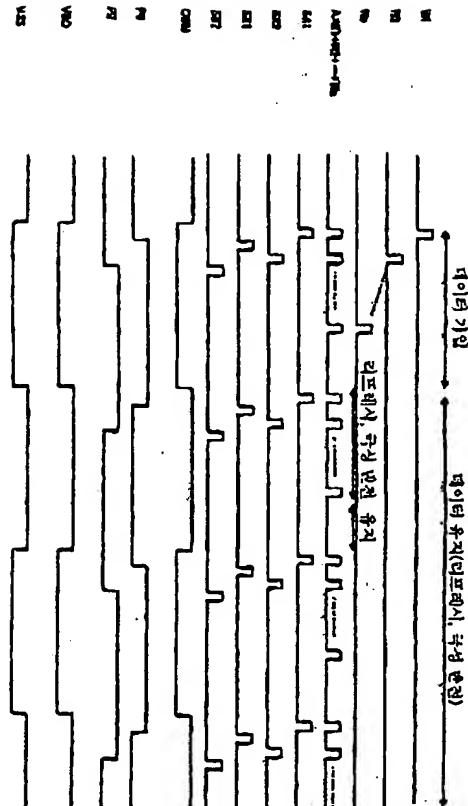


도면 16

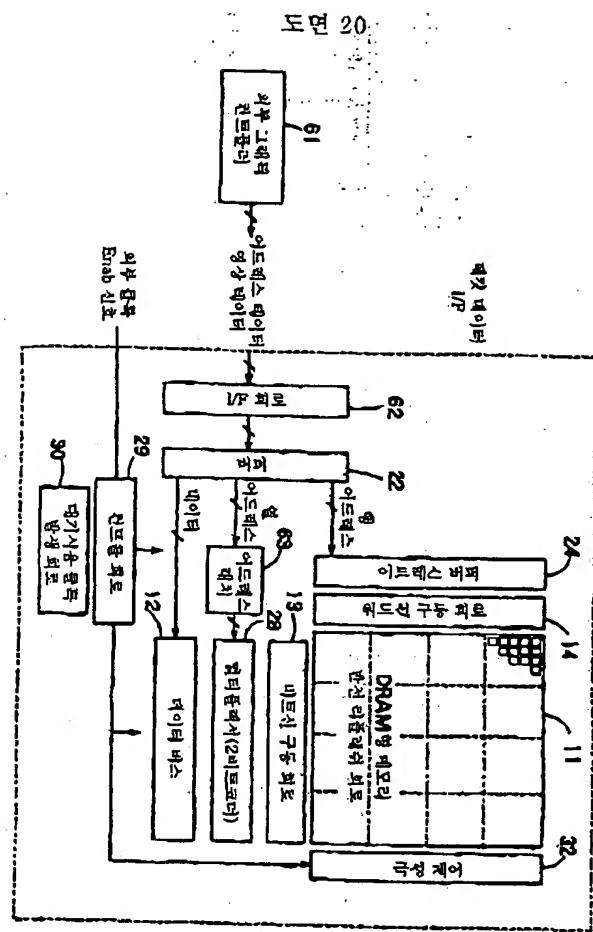




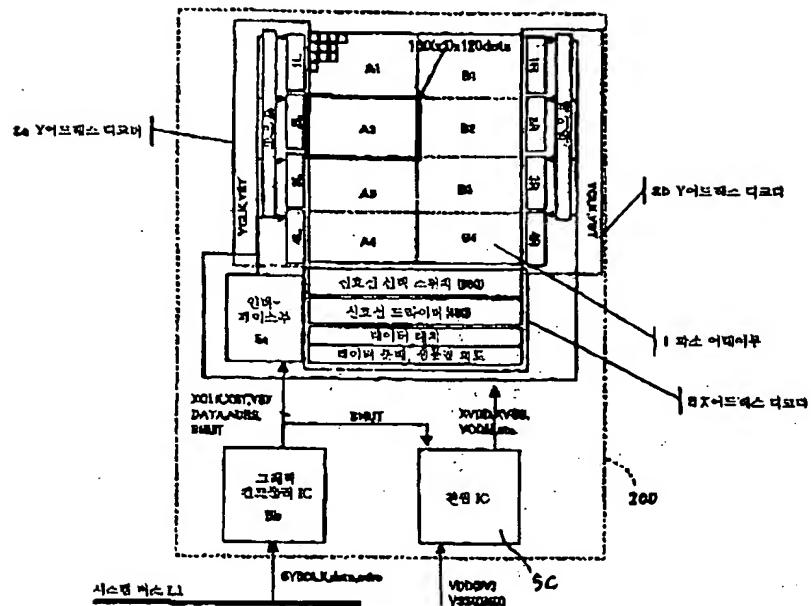
도면 18



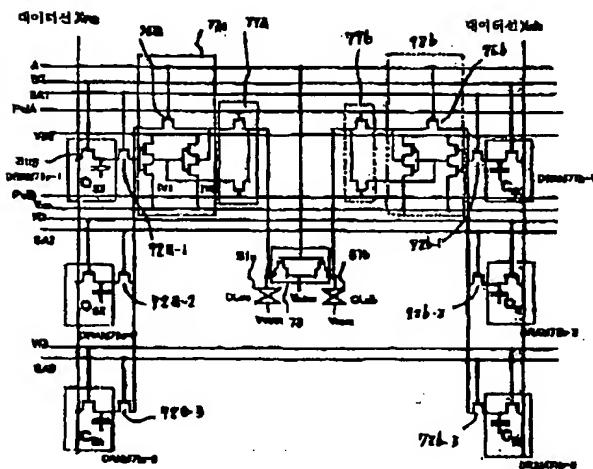
도면 19



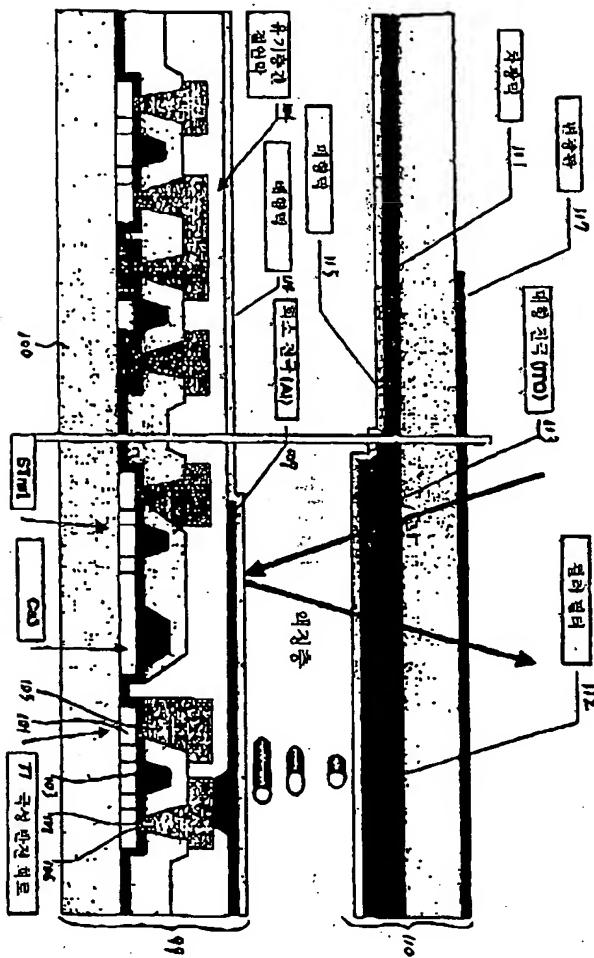
도면 21



도면 22

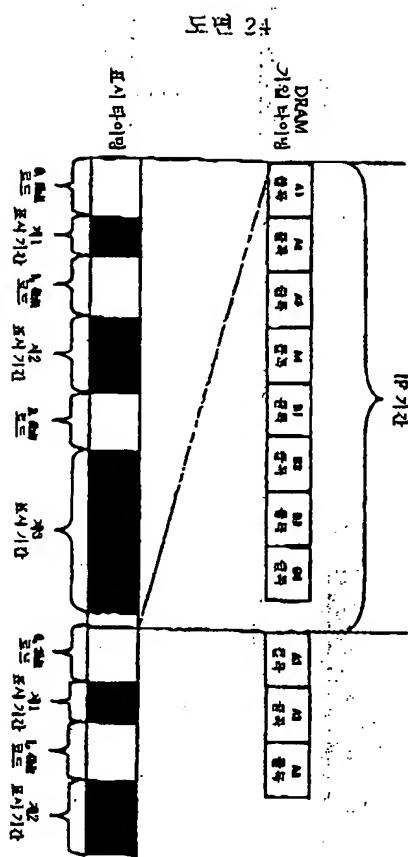


23

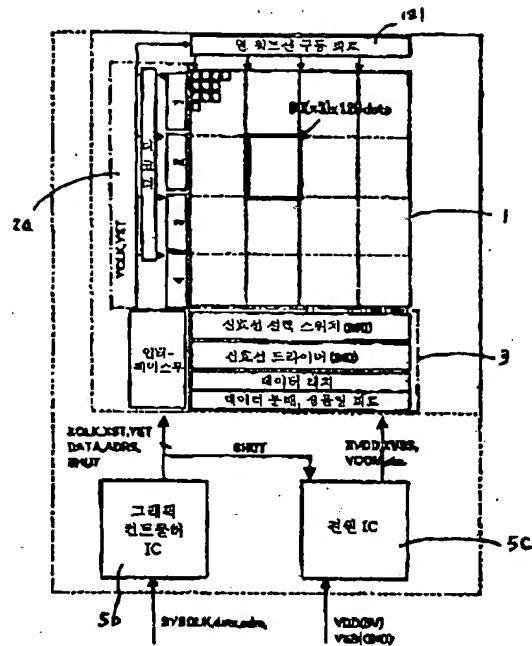


3X 아드레스 디코더

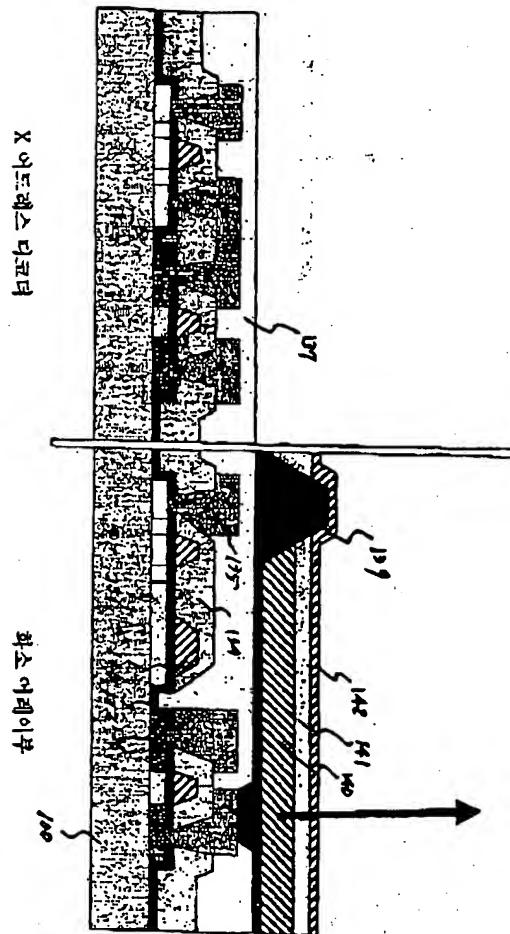
1회소 어레이부



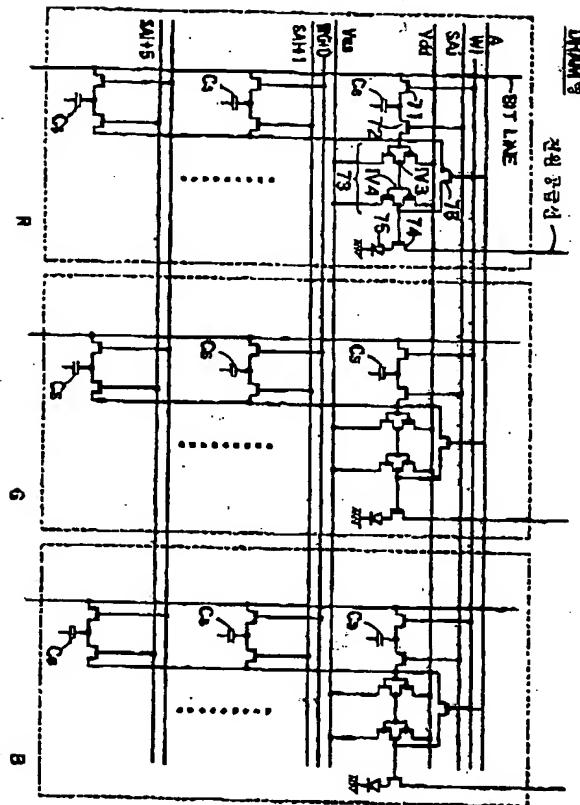
도면 25



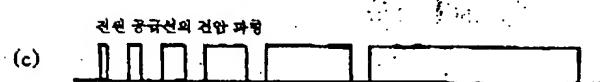
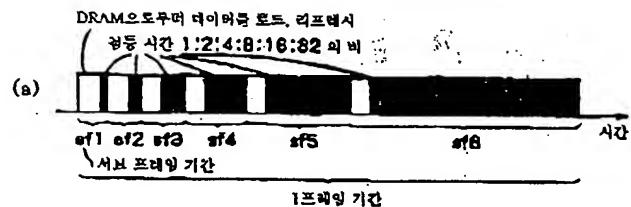
도면 26



도면 27

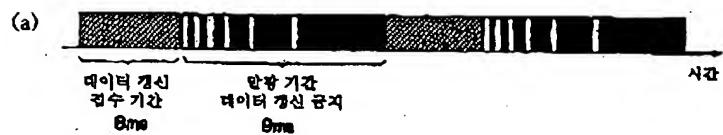


도면 28

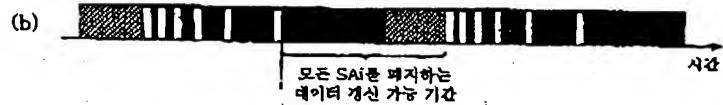


도면 29

1. 기본형



2. 만장 기간중에 데이터 개신을 행함



3. 만장 기간중에도 데이터 개신을 허가



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.